

## 明 細 書

## MIS型電界効果トランジスタ

## 技術分野

[0001] 本発明は、MIS型電界効果トランジスタに関し、特にチャネルが歪みを有する半導体で形成されているMIS型電界効果トランジスタに関するものである。

## 背景技術

[0002] MIS型電界効果トランジスタ(以下、MISFETと略記する)は、4族半導体基板上に形成されることが多い。4族半導体とは、Ge、C、Si及びこれらの混晶を指している。これら4族半導体は、その他の半導体と比較し、機械的強度、コスト、微細加工性の観点で優れており、MISFETの主な用途である大規模集積回路の作製に向いているのである。

[0003] 4族半導体の中でも、特にSi基板が、MISFETの作製に多く使用されている。これは、ゲート絶縁膜として $\text{SiO}_2$ を形成することが工業的に容易であること、及び $\text{SiO}_2/\text{Si}$ 界面特性が良好であることが理由としてあげられる。

[0004] 但し、Siには、電子と正孔の移動度が他の半導体に比べて低いという欠点がある。これは、シリコン特有のバンド構造に由来している。低い移動度はMISFETのチャネル抵抗を増大させ、MISFETのスイッチングスピードの低下を招く。そこで、MISFETのチャネル材料として、Siを使用しつつ、バンド構造を変化させて、電子と正孔の移動度を向上させる技術が提案されている(例えば、特許文献1、2参照)。それは、Siに歪みを印加する方法である。

[0005] 図17は歪みSiの作製法を示す。先ず、Siよりも原子間隔が大きい $\text{Si}_{1-x}\text{Ge}_x$  ( $0 < x \leq 1$ 、以下、SiGeと略記する)からなる下地基板を用意する。次に、このSiGe下地基板の上に薄いSiを格子整合するようエピタキシャル成長させる。そうすると、Siは2軸の引っ張り歪みを受け、バンド構造が変化する。これにより、電子と正孔の有効質量とフォノン散乱が減少し、無歪みSi中に比べ、電子と正孔の移動度が増加する。

[0006] 図18(a)、(b)に、SiGe下地基板のGe濃度( $\times 100[\%]$ )と、電子と正孔の移動度増加率の関係を示す。同図において実線及び破線の曲線は計算値を、またプロット

点は実験値を示す。下地基板の $Si_{1-x}Ge_x$ 結晶の原子間隔はGe濃度にはほぼ比例するため、Ge濃度が高いほどSiの歪み量が大きくなる。同図より、Siに歪みを印加することにより、無歪みの場合に比べ、電子及び正孔とも1.5倍以上移動度を増加させることが可能であることが分かる。

[0007] 次に、図19(a)乃至(c)及び図20(a)、(b)を参照して、従来技術による歪みSiチャネルMISFETの作製法を説明する。先ず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる(図19(a))。次に、この歪みSi層2の上に、ゲート絶縁膜3とゲート電極膜4を成長させ(図19(b))、その後パターニングして、ゲート絶縁膜3aとゲート電極4aを形成する(図19(c))。続いて、ゲート電極4aをマスクにして、イオン注入法により、歪みSi層2の表面におけるソース及びドレイン形成予定領域に不純物を導入する。このとき、ドーザ量は $1 \times 10^{15} \text{ cm}^{-2}$ 以上である。これは、ソース・ドレインの寄生抵抗と、コンタクト抵抗を十分下げるためである。このような高ドーザのイオン注入により、歪みSi層2にアモルファス層5が形成される(図20(a))。最後に、不純物を活性化するために熱処理を行うと、アモルファス層5は固層成長しながら結晶化すると共に、ソース・ドレイン領域6が形成される(図20(b))。

[0008] 図21に、このようにして作製したゲート長 $1 \mu \text{m}$ の歪みSiチャネルMISFETの電気特性を示す。良好な電気特性を有しており、異常リーク電流などは観察されない。

[0009] 特許文献1:特開平10-270685号公報  
特許文献2:特開2002-237590号公報  
非特許文献1:H.C.-H.Wang et al., "Substrate-Strained Silicon Technology: Process Integration", IEDM 2003, Technical Digest, pp.61-64  
非特許文献2:応用物理 第65号 第11号 p.1131 1996, Ion Implantation Technology Proceedings vol.2, p.744 1999

### 発明の開示

#### 発明が解決しようとする課題

[0010] しかしながら、MISFETはスケーリング則に従う微細化によって高性能化を実現してきており、このため、ゲート長の短い歪みSiチャネルMISFETの実用化が望まれている。

[0011] ところが、ゲート長が短くなると、歪みSiチャネルMISFETに異常なオフリーク電流が生じることを本発明者は発見した。

[0012] 図22(a)、(b)に、ゲート長が短い2種類の歪みSiチャネルMISFETの電気特性(ソース・ドレイン間電流)を示す。図22(a)、(b)に示したものは、夫々多数のMISFETを測定して、全てを同じグラフ上にプロットしたものである。図22(a)は、ボロンをエネルギー:2keV、ドーズ量: $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入した場合を示し、図22(b)は、ヒ素をエネルギー:8keV、ドーズ量: $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入してソース・ドレイン領域を形成した場合を示す。後者の場合のみ、ソース・ドレイン間に異常オフリーク電流が流れるMISFETがいくつかみられた。

[0013] このような異常オフリーク電流を持つMISFETで回路を構成した場合、回路の消費電力の増大を招くため好ましくない。

[0014] なお、非特許文献1に示された研究結果においても、異常リークが発見されている。そして、この非特許文献1においては、この異常リークの原因を、<110>方向に伸びる長いミスフィット転移にあるとして、臨界膜厚以下に歪みSi膜厚を設定すべきであるとしている。しかし、後述するように、本願発明者による解析の結果、異常リークは、このような長いミスフィット転移に起因するのではないことが判明した。

[0015] 本願発明の目的は、上述のU字型転位を無くし、ゲート長が短いときに現れる異常オフリーク電流を抑制し、ゲート長が短い場合にも消費電力が小さい歪み活性半導体層MISFETを提供することにある。

### 課題を解決するための手段

[0016] 本発明に係るMIS型電界効果トランジスタは、下地層と、この下地層上に形成され歪みを有する活性半導体層と、前記活性半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の両側の前記活性半導体層内に形成されたソース・ドレイン領域とを有するMIS型電界効果トランジスタである。そして、この本発明に係るMIS型電界効果トランジスタは、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さをT<sub>p</sub>としたとき、前記下地層と前記活性半導体層との界面が表面から2T<sub>p</sub>以下の深さにあることを特徴とする。

[0017] また、本発明に係る他のMIS型電界効果トランジスタは、下地層と、この下地層上に形成され歪みを有する活性半導体層と、前記活性半導体層上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の両側の前記活性半導体層内に形成されたソース・ドレイン領域と、前記ゲート電極の側面に形成されたゲート側壁と、を有するMIS型電界効果トランジスタである。そして、この本発明に係るMIS型電界効果トランジスタは、前記活性半導体層の前記ゲート電極及び前記ゲート側壁の下の部分は他の部分の膜厚より厚くなっており、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さを $T_p$ としたとき、前記活性半導体層の前記ゲート電極及び前記ゲート側壁の下以外の領域では前記下地層と前記活性半導体層との界面が表面から $2T_p$ 以下の深さにあることを特徴とする。

[0018] 更に、本発明に係る更に他のMIS型電界効果トランジスタは、下地層と、この下地層上に形成され歪みを有する活性半導体層と、前記活性半導体層上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の両側の前記活性半導体層上に形成されソース・ドレイン領域が形成されたせり上げ層と、を有するMIS型電界効果トランジスタである。この本発明に係るMIS型電界効果トランジスタは、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さを $T_p$ としたとき、前記せり上げ層の膜厚が $3T_p$ 以上 $5T_p$ 以下であることを特徴とする。

[0019] そして、好ましくは、前記下地層は、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ （但し、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 < x+y \leq 1$ ）の組成を有する半導体層により構成され、また、好ましくは、前記活性半導体層は、Si層により構成される。

#### 発明の効果

[0020] 本発明のMISFETは、歪み活性半導体層の膜厚を、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さ $T_p$ の2倍以下にするか、又は、歪み活性半導体層上に形成されるせり上げ領域の膜厚を、 $T_p$ の3倍以上とするものであるので、歪み活性半導体層内にドーピングによって形成される転位が形成されないようにすることができる。従って、これらを核に歪み活性半導体層にU字型転

位が成長することもなく、その結果、ゲート長が短いMISFETにおいても、異常オフリーカ電流を生じることはなく、低消費電力・短チャネル長の歪みチャネルMISFETを実現することができる。

### 図面の簡単な説明

[0021] [図1](a)乃至(c)は、本発明の第1実施形態に係るMISFETの製造方法を工程順に示す断面図である。

[図2](a)乃至(c)は、本発明の第1実施形態に係るMISFETの製造方法を工程順に示す断面図であって、図1の次の工程を示す図である。

[図3](a)乃至(c)は、本発明の第2実施形態に係るMISFETの製造方法を工程順に示す断面図である。

[図4](a)乃至(c)は、本発明の第2実施形態に係るMISFETの製造方法を工程順に示す断面図であって、図3の次の工程を示す図である。

[図5](a)及び(b)は、本発明の第2実施形態に係るMISFETの製造方法を工程順に示す断面図であって、図4の次の工程を示す図である。

[図6]本発明の第2実施形態により実際に製造したMISFETの異常オフリーカ電流出現割合のゲート長依存性を示すグラフ図である。

[図7](a)乃至(c)は、本発明の第3実施形態に係るMISFETの製造方法を工程順に示す断面図である。

[図8](a)乃至(c)は、本発明の第3実施形態に係るMISFETの製造方法を工程順に示す断面図であって、図7の次の工程を示す図である。

[図9](a)乃至(c)は、本発明の第3実施形態に係るMISFETの製造方法を工程順に示す断面図であって、図8の次の工程を示す図である。

[図10](a)乃至(c)は、本発明の第4実施形態に係るMISFETの製造方法を工程順に示す断面図である。

[図11](a)乃至(d)は、本発明の第4実施形態に係るMISFETの製造方法を工程順に示す断面図であって、図10の次の工程を示す図である。

[図12](a)及び(b)は、本発明の第4実施形態に係るMISFETの製造方法を工程順に示す断面図であって、図11の次の工程を示す図である。

[図13]本発明の第5実施形態に係るMISFETを示す断面図である。

[図14]本発明の第6実施形態に係るMISFETを示す断面図である。

[図15]本発明の第7実施形態に係るMISFETを示す断面図である。

[図16]本発明の第8実施形態に係るMISFETを示す断面図である。

[図17]下地SiGe層上に形成した歪みSiの構造を示す図である。

[図18]歪みSiチャネルMISFETの移動度増加率を示すグラフ図である。

[図19](a)乃至(c)は、従来構造の歪みSiチャネルMISFETの製造方法を工程順に示す断面図である。

[図20](a)及び(b)は、従来構造の歪みSiチャネルMISFETの製造方法を工程順に示す断面図であって、図19の次の工程を示す図である。

[図21]従来構造の歪みSiチャネルMISFETの電気特性を示すグラフ図である。

[図22]従来構造の歪みSiチャネルMISFETのゲート長を短くした場合の電気特性を示すグラフ図である。

[図23]歪みSiチャネルMISFETの異常オフリーク電流出現割合のゲート長依存性を示すグラフ図である。

[図24](a), (a)'はボロンのイオン注入により形成した歪みSiチャネルMISFETのソース・ドレイン領域のTEM観察像、及び、(b), (b)'はヒ素のイオン注入により形成した歪みSiチャネルMISFETのソース・ドレイン領域のTEM観察像である。

[図25](a), (a)'はヒ素のイオン注入により形成した歪みSiチャネルMISFETのソース・ドレイン領域の平面TEM観察像、(b), (b)', (c), (c)', (d), (d)'はヒ素のイオン注入により形成した歪みSiチャネルMISFETのソース・ドレイン領域の断面TEM観察像である。

[図26]ヒ素のイオン注入により形成した歪みSiチャネルMISFETのソース・ドレイン領域で観察されたU字型転位の長さの分布を示すグラフ図である。

[図27](a)はU字型転位により、MISFETが異常オフリーク電流を生じるメカニズムを説明する平面模式図、(b)はその断面模式図である。

[図28]U字型転位の分布により予想計算した異常オフリーク電流出現割合のゲート長依存性と実測値を比較するグラフ図である。

[図29](a)乃至(d)は、結晶基板に不純物をイオン注入し、熱処理を施した場合に、転位ループを生じるメカニズムを説明する図である。

[図30](a)及び(b)は、Si(100)基板にボロン及びヒ素をイオン注入した場合のアモルファス層深さと不純物・余剰原子分布のモンテカルロシミュレーション結果を示すグラフ図である。

[図31]Si(100)基板にリンをイオン注入した場合のアモルファス層深さ及びリン濃度分布のモンテカルロシミュレーション結果と、熱処理を行った後の断面TEM観察像を示した図である。

[図32](a)乃至(c)は、歪み層内に形成された転位ループが、U字型転位に成長し歪みを緩和するメカニズムを説明する図である。

[図33]Si(100)基板にヒ素をイオン注入した場合のモンテカルロシミュレーションによるアモルファス層深さのドーズ量依存性を示すグラフ図である。

[図34](a)及び(b)は、Si(100)基板にボロン及びヒ素をイオン注入した場合の注入直後と熱処理後の不純物分布のモンテカルロシミュレーション結果を示すグラフ図である。

[図35](a)乃至(c)は、従来構造の歪みSiチャネルMISFETを製造する方法により、ゲート長が短いMISFETを製造する方法を工程順に示す断面図である。

[図36](a)乃至(c)は、従来構造の歪みSiチャネルMISFETを製造する方法により、ゲート長が短いMISFETを製造する方法を工程順に示す断面図であって図35の次の工程を示す図である。

### 符号の説明

- [0022] 1 下地SiGe層
- 2 歪みSi層
- 3 ゲート絶縁膜
- 3a ゲート絶縁膜
- 4 ゲート電極膜
- 4a ゲート電極
- 5 アモルファス層

- 6 ソース・ドレイン領域
- 7 じ字型転位
- 8 転位ループ
- 9 不純物注入領域
- 10 ゲート側壁
- 11 ソース・ドレイン拡張領域
- 12 ソース・ドレインせり上げ領域
- 13 下地Si層
- 14 歪み $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層
- 15 キャップSi層
- 16 埋込酸化膜

#### 発明を実施するための最良の形態

[0023] 本願発明者は種々の実験、演算及び考察を行った結果、U字型転位は、イオン注入が原因で生じた転位から成長。そうするという結論に達した。先ず、本発明者らは、異常オフリーク電流の原因を調べるため、以下に示す種々の解析を行った。

[0024] 図23は、ヒ素イオン注入によりソース・ドレインを形成した場合において、異常オフリーク電流が流れるMISFETの出現割合(出現確率)のゲート長依存性を示す。ゲート長が $0.4\mu\text{m}$ より短くなると、異常リーキ電流が出現することがわかる。これは、ある有限長のリーキパスが歪みSi層又は下地SiGe層中に存在していることを示唆している。

[0025] 次に、作製したMISFETのソース・ドレイン領域のTEM(transmission electron microscope:透過型電子顕微鏡)観察を行った。図24(a)はボロンイオン注入で形成したソース・ドレイン領域、図24(b)はヒ素イオン注入で形成したソース・ドレイン領域のTEM観察結果を示す。図24(a)、(b)は、夫々図24(a)、(b)の線状の模様をトレースした図である。

[0026] その結果、ボロン注入の場合及びヒ素注入の場合のいずれの場合も、長い直線状の模様が見られることが分かった。これを図中、Aで表示する。また、ヒ素注入の場合のみ、短い線状の模様が見られた。これを図中、Bで表示する。

[0027] 次に、これらの模様の原因を調べるために、断面TEM観察を行った。その結果を図25に示す。図25(a)は、図24(b)の四角枠内の拡大図であり、図25(b)、(c)、(d)は、図25(a)の図中(b)、(c)、(d)に相当する部分の断面像である。図25(a)、(b)、(c)、(d)は、夫々図25(a)、(b)、(c)、(d)の線状の模様をトレースした図である。

[0028] 先ず、長い直線上の模様Aは、歪みSiとSiGeの界面に生じた長いミスフィット転位であることが分かった。しかし、この長いミスフィット転位は異常オフリーグの原因ではない。なぜなら、ボロンイオン注入の場合は異常リーク電流が見られず、またヒ素イオン注入の場合でもゲート長が長い場合は異常リーク電流が見られないからである。

[0029] 次に、短い線状の模様Bは、歪みSi中又は歪みSiとSiGeの界面にミスフィット転位部を持ち、両端が歪みSi表面への貫通転位部をなすようなU字型の有限長転位であることが分かった。以下、この転位をU字型転位と呼ぶ。本発明者は、このU字型転位が異常リークの原因ではないかと推測した。

[0030] そこで、U字型転位の分布密度と、MISFETの異常リーク出現確率について調べた。図26は、ヒ素注入領域のTEM像より求めたU字型転位の長さと密度との関係を示す。最長のU字型転位の長さは、0.3 μm～0.4 μm程度であった。この長さは、異常リーク電流のMISFETが出現し始めるゲート長とほぼ同じである。

[0031] 次に、このU字型転位がソース・ドレインをまたいだときに異常オフリーグが出現すると仮定して、図26より異常リーク電流出現確率を計算した。図27に、U字型転位を有するMISFETの模式図を示す。この図では、長さa2と表されるU字型転位7が、ソース・ドレイン領域6間をまたいでおり、異常オフリーグ電流が発生すると仮定される。

[0032] もし、長さaのU字型転位のみが面密度bで分布していると仮定すれば、このU字型転位がゲート長 $L_G$ 、ゲート幅 $W_G$ のMISFETのソース・ドレイン間を1つもまたがない確率は、 $L_G > a$ の時に1、 $L_G < a$ の時に $\exp\{-b \cdot W_{Gx} (a - L_G)\}$ となる。

[0033] 実際には様々な長さ $a_i$ のU字型転位が面密度 $b_i$ で分布していることを考慮すると、U字型転位が一つもMISFETのソース・ドレイン間をまたがない確率は、 $\prod (L_G < a_i) \exp\{-b_i W_{Gx} (a_i - L_G)\}$ となる。ここで、 $\prod (L_G < a_i)$ は、数列 $\exp\{-b_i W_{Gx} (a_i - L_G)\}$ の積を、 $L_G < a_i$ にわたって計算することを意味する。

[0034] 従って、一つ以上のU字型転位がMISFETのソース・ドレイン間をまたぎ、異常オフリーカ電流を生じさせる確率は、 $1 - \Pi(L_G < a_i) \exp\{-b_{ix} W_{Gx} (a_i - L_G)\}$ となる。

[0035] この計算式に従い、図26より計算した異常リーク出現確率を図28に実線にて示す。図28は横軸にゲート長をとり、縦軸にソース・ドレイン間の異常オフリーカ出現割合をとて、両者の関係を示す。図28には、合わせて図23のMISFETのデータも示しているが、両者は良く一致しており、U字型転位が、異常リーク電流の原因であると結論できる。本願発明は、このような知見に基づいて完成されたものである。

[0036] 次に、基板への不純物のイオン注入について説明する。図29(a)乃至(d)は、基板への不純物のイオン注入とその後の熱処理による原子の挙動を示す。結晶基板に高濃度のイオン注入を行うと、図29(b)に示すように、表面がアモルファス化され、アモルファス層界面よりすぐ下の結晶領域に、空孔と格子間原子を生じる。このとき、格子間原子はアモルファス層からはじき飛ばされた原子も含むため、空孔より数が多い。ここでは、空孔より多い分の格子間原子を、余剰原子と呼ぶ。この基板を熱処理すると、格子間原子の一部は近くの空孔に収まるが、余剰原子はそのまま格子間に残る。一方、アモルファス層は下地の結晶層を受け継ぎながら固層成長し、全体が結晶化する。この様子を図29(c)に示す。例として、図30(a)、(b)に、ボロン又はヒ素をSi(100)結晶基板にイオン注入した直後の余剰原子の分布のモンテカルロシミュレーション結果を破線にて示す。ボロンイオン注入に比べヒ素イオン注入の場合の方が、余剰原子が多い。これは、同じ注入量の場合、ヒ素原子の方がボロン原子より重く、より沢山のシリコン原子をはじき飛ばすためである。これらイオン注入で生じた余剰原子は、熱処理を続けると次第に析出し、小さな転位ループを形成する。この様子を図29(d)に示す。

[0037] 図31に、イオン注入により形成された転位ループの断面TEM像を示す。Si(100)結晶に、リンを30keV、 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、790°C、10秒の熱処理を施した。モンテカルロシミュレーション計算の結果、イオン注入直後のアモルファス領域の深さは、73nmと計算された。断面TEM像では、この深さのすぐ下に、転位が形成されていることが実際に確かめられた。このような実験結果は、他の文献でも報告されている(非特許文献2)。

[0038] このようなイオン注入によって生じた小さな転位ループは、無歪みの膜中では、周囲に歪みを引き起こす。従って、更に熱処理を続けた場合は、歪みを小さくするよう、格子間原子を再放出しながら徐々に小さくなる。再放出された格子間原子は、基板表面に向かって拡散し、そこで新たな結晶表面の一部を形成する。しかし、歪みを有する層に転位ループが形成された場合は、熱処理でより大きな転位ループになると考えられる。これは、転位が大きくなることによって、歪み膜の歪みを小さくできるからである。

[0039] この過程を、図32(a)乃至(c)を用いて考察する。図32(b)は、イオン注入とそれに続く熱処理により歪み膜中に形成された小さな転位ループを示している。転位ループの周辺では歪みが緩和される。そのため、熱処理を施せば、原子は転位ループを大きくするよう再配置する。ついには転位ループが表面に達し、U字型転位になる。この様子を図32(c)に示す。

[0040] また、転位ループの元となる余剰原子の多いヒ素イオン注入の場合のみ、U字型転位が見られたことからも、U字型転位がイオン注入による転位ループを元に形成されたと考えることは妥当である。

[0041] こうして、本発明者は、U字型転位が、イオン注入が原因で生じた転位ループから成長するという結論に達した。従って重要なことは、イオン注入による転位を歪み層内に形成させないことである。次に、転位ループを歪み層に形成させないための構造について説明する。

[0042] 図33は、ヒ素のドーズ量と、注入直後の不純物濃度が最大になる深さ( $R_p$ )で規格化したSi(100)結晶基板におけるアモルファス層/結晶層界面の深さとの関係を示すグラフ図であり、モンテカルロシミュレーションにより計算した結果を示す。ソース・ドレイン形成に必要な $1 \times 10^{15} \text{ cm}^{-2}$ 以上のドーズ量の場合、アモルファス層/結晶層界面の深さは、 $2R_p$ 以上 $2.5R_p$ 以下の深さに形成されることが分かる。また、イオン注入による転位は、このアモルファス層と結晶層の界面より深いところに形成される。従って、歪み層の厚さを $2R_p$ より薄くすれば、歪みSi層内にイオン注入による転位が形成されることはない、U字型転位を生じることもない。

[0043] 次に、図34(a)、(b)に、熱処理後の不純物の濃度分布を示す。イオン注入直後の

不純物濃度が最大になる深さと、熱処理後の不純物濃度が最大になる深さとは一致している。これは、不純物濃度が濃くなるほど、不純物の拡散速度が遅くなり、元の濃度分布に近くなるためである。すなわち、ソース・ドレインの不純物濃度が最大になる深さを  $T_p$  としたとき、 $T_p = R_p$  となる。従って、本発明のように、ソース・ドレインの不純物濃度が最大になる深さを  $T_p$  としたとき、歪み層の膜厚を  $2T_p$  以下にすれば、歪み層内にイオン注入による転位が形成されることはない。従って、これらを核に歪み層に U字型転位が成長することもなく、従って、ゲート長が短いMISFETにおいても、異常オフリーグ電流を生じることはない。

- [0044] ここで、図35(a)乃至(c)及び図36(a)乃至(c)を用いて、従来と同じ製造方法でゲート長の短い歪みSiチャネルMISFETを製造した場合の問題点について更に詳しく説明する。
- [0045] 先ず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる(図35(a))。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ(図35(b))、その後パターニングして、ゲート絶縁膜3aと長さ $0.4 \mu m$ 以下のゲート電極4aを形成する(図35(c))。続いて、ゲート電極4aをマスクにして、不純物をドーズ量 $1 \times 10^{15} cm^{-2}$ 以上イオン注入する。そうすると、ソース・ドレイン領域に不純物が導入されると共に、アモルファス層5が形成される(図36(a))。この深さは、不純物濃度が最大になる深さを  $R_p$  としたとき、 $2R_p$  以上である。
- [0046] 次に、不純物を活性化するために熱処理を行う。そうすると、ソース・ドレイン領域6が形成される。また、アモルファス層5は結晶化すると共に、この直下に転位ループ8が形成される(図36(b))。不純物を十分活性化させるために更に熱処理を行うと、歪みSi層2の歪みを緩和させるために転位ループ8は大きく成長し、U字型転位7になる(図36(c))。これらU字型転位7の長さは最大 $0.4 \mu m$ 程度になる。このため、ゲート長が $0.4 \mu m$ 以下のMISFETは確率的に異常オフリーグ電流が生じやすいことになる。
- [0047] 従って、以下に示す本発明の各実施形態においては、U字型転位の核となるイオン注入による転位ループ8が、歪みSi層2内に形成されないようにする。
- [0048] なお、歪みを有する4族半導体として歪みSiを例にして説明したが、歪み半導体膜

として $Si_{1-x-y}Ge_xC_y$  (但し、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 < x+y \leq 1$ )を用いる場合もある。この場合、高品質のゲート絶縁膜を形成するために、 $Si_{1-x-y}Ge_xC_y$  とゲート絶縁膜との間に10nm以下のキャップSi層を挟むのも有効である。このSi層を10nm以下にするのは、チャネルが全てキャップSi層内のみに局在することを防ぐためである。このとき、表面から金み $Si_{1-x-y}Ge_xC_y$  層と下地層との界面までの深さを、 $2T_p$  以下にする。

[0049] また、ソース・ドレインをせり上げ構造とし、このせり上げ部にイオン注入による転位を局在させることによって、歪み膜に転位を生じないようにすることも有効である。この場合、図31からも分かるとおり、 $3R_p = 3T_p$  以上の深さにはイオン注入による転位を生じないので、せり上げ膜厚を $3T_p$  以上にすればよい。

[0050] 但し、せり上げ膜厚が厚すぎると十分にせり上げ部全体に不純物をドーピングできないため、せり上げ膜厚を $5T_p$  以下にする必要がある。図34から分かるとおり、この膜厚であれば、少なくとも $1 \times 10^{18} cm^{-3}$  以上のドーピングが可能であり、ソース・ドレイン抵抗のオーミック性を保つことが可能である。

[0051] また、ソース・ドレイン層に、低ダメージで高ドーズのドーピングができれば、歪みSi層に転位を生じることはない。このような手法としては、プラズマドーピング法及びガスフェーズドーピング法がある。これらの方法では、不純物は歪み膜表面に気相吸着してから内部に拡散するため、結晶層を破壊することなく高ドーズ量のドーピングが可能となる。

[0052] 即ち、これらの方法を使用することにより、歪み層内にドーピングによって転位が形成されることはない。従って、これらを核に歪み層にU字型転位が成長することもなく、そのため、ゲート長が短いMISFETにおいても、異常オフリーケ電流を生じることなく、低消費電力の歪みSiチャネルMISFETを実現することができる。

[0053] 以下、添付の図面を参照して本発明の実施の形態について詳細に説明する。

[0054] [第1の実施の形態]

図1(a)乃至(c)及び図2(a)乃至(c)は、本発明の第1の実施形態のMSIFETの製造方法を工程順に示す断面図である。先ず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる(図1(a))。この歪みSi層2の膜厚は、最終的なMISFETのソ

ース・ドレインの不純物濃度が最大となる深さを $T_p$ としたとき、 $2T_p$ 以下にする。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ(図1(b))、その後パターニングして、ゲート絶縁膜3aと長さ $0.4\mu m$ 以下のゲート電極4aを形成する(図1(c))。続いて、ゲート電極4aをマスクにして、歪みSi層2及び下地SiGe層1に、不純物を $1\times 10^{15}cm^{-2}$ 以上イオン注入する。そうすると、ソース・ドレイン形成予定領域に高濃度の不純物が導入され、この領域にアモルファス層5が形成される。このアモルファス層5の深さは、不純物濃度が最大となる深さを $R_p$ としたとき、 $2R_p$ 以上である(図2(a))。

[0055] 次に、不純物を活性化するために熱処理を行う。そうすると、ソース・ドレイン領域6が形成される。また、アモルファス層5は結晶化すると共に、この直下に転位ループ8が形成される。但し、転位ループ8は歪みSi層2内には形成されず、全て無歪みの下地SiGe層1内に形成される(図2(b))。不純物を十分活性化させるために更に熱処理を行う。但し、転位ループ8は無歪みの下地SiGe層1内に形成されているため、前記熱処理により消失するか又は小さくなり、U字型転位は形成されない(図2(c))。従って、完成したMISFETに異常オフリーグ電流は生じない。

[0056] [第2の実施の形態]

図3(a)乃至(c)、図4(a)乃至(c)及び図5(a)、(b)は、本発明の第2の実施形態のMSIFETの製造方法を工程順に示す断面図である。先ず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる。この歪みSi層2の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを $T_p$ としたとき、 $2T_p$ 以下にする(図3(a))。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ(図3(b))、その後パターニングして、ゲート絶縁膜3aと長さ $0.4\mu m$ 以下のゲート電極4aを形成する(図3(c))。

[0057] 次に、ゲート電極4aをマスクにして、歪みSi層2にソース・ドレイン拡張領域を形成するための不純物をイオン注入し、不純物注入領域9を形成する(図4(a))。このときの注入エネルギーとドーズ量は、ソース・ドレイン形成のためのイオン注入より小さくする。これは、より浅くより急峻な接合を形成するためである。その後、酸化膜成長とエッチバックによりゲート側壁10を形成する(図4(b))。この後、ゲート電極4aとゲート側壁10をマスクにして、不純物を $1\times 10^{15}cm^{-2}$ 以上イオン注入する。そうすると、ソ

ース・ドレイン形成予定領域に高濃度に不純物が導入されると共に、アモルファス層5が形成される。このアモルファス層5の深さは、不純物濃度が最大になる深さをR<sub>p</sub>としたとき、2R<sub>p</sub>以上である(図4(c))。

[0058] 次に、不純物を活性化するために熱処理を行う。そうすると、ソース・ドレイン領域6とソース・ドレイン拡張領域11が形成される。また、アモルファス層5は結晶化すると共に、この直下に転位ループ8が形成される(図5(a))。但し、転位ループ8は歪みSi層2内には形成されず、全て無歪みの下地SiGe層1内に形成される。このとき、不純物注入領域9の直下には転位ループは形成されない。これは、ソース・ドレイン拡張領域形成のためのイオン注入は、エネルギー及びドーズ量とも低く、転位ループを形成するのに十分な余剰原子が生じないためである。不純物を十分活性化させるために更に熱処理を行う。但し、転位ループ8は無歪みの下地SiGe層1内に形成されているため、消失するか小さくなり、U字型転位は形成されない(図5(b))。従って、完成したMISFETに異常オフリーク電流は生じない。

[0059] 図6に、第2の実施形態に従って作製したMISFETの異常オフリーク電流出現割合のゲート長依存性を示す。ソース・ドレイン領域を形成するためのイオン注入は3×10<sup>15</sup>cm<sup>-2</sup>のドーズ量で行い、2T<sub>p</sub>=19nmであった。2T<sub>p</sub>より歪みSi層膜厚が厚い25nm、35nmの場合は、ほぼ同じ程度、高い割合で異常オフリーク電流が出現している。一方、2T<sub>p</sub>より歪みSi層膜厚が薄い15nmの場合は、大幅に異常オフリーク電流が減少していることが分かる。完全に異常オフリーク電流が無くなっているのは、歪みSi層膜厚の基板面内ばらつきによるものと考えられる。

[0060] [第3の実施の形態]

図7(a)乃至(c)、図8(a)乃至(c)、図9(a)乃至(c)は、本発明の第3の実施形態のMISFETの製造方法を工程順に示す断面図である。先ず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる(図7(a))。この歪みSi層2の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さをT<sub>p</sub>としたとき、2T<sub>p</sub>以上でもよい。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ(図7(b))、その後パターニングして、ゲート絶縁膜3aと長さ0.4μm以下のゲート電極4aを形成する(図7(c))。

[0061] 次に、ゲート電極4aをマスクにして、歪みSi層2にソース・ドレイン拡張領域を形成するための不純物をイオン注入し、不純物注入領域9を形成する(図8(a))。このときのエネルギーとドーズ量は、ソース・ドレイン形成のためのイオン注入より小さくする。これは、より浅くより急峻な接合を形成するためである。その後、酸化膜成長とエッチバックによりゲート側壁10を形成する(図8(b))。続けて、ソース・ドレイン領域の歪みSi層2を、その膜厚が $2T_p$ 以下になるようにエッチバックする(図8(c))。その後、ゲート電極4aとゲート側壁10をマスクにして、不純物を $1 \times 10^{15} \text{ cm}^{-2}$ 以上イオン注入する。そうすると、ソース・ドレイン領域に高濃度に不純物が導入されると共に、アモルファス層5が形成される(図9(a))。この深さは、不純物濃度が最大になる深さを $R_p$ としたとき、 $2R_p$ 以上である。

[0062] 次に、不純物を活性化するために熱処理を行う。そうすると、ソース・ドレイン領域6とソース・ドレイン拡張領域11が形成される。また、アモルファス層5は結晶化すると共に、この直下に転位ループ8が形成される(図9(b))。但し、転位ループ8は歪みSi層2内には形成されず、全て無歪みの下地SiGe層1内に形成される。このとき、不純物注入領域9の直下には転位ループは形成されない。これは、ソース・ドレイン拡張領域11形成のためのイオン注入は、エネルギー及びドーズ量とも低く、転位ループを形成するのに十分な余剰原子が生じないためである。その後、不純物を十分活性化させるために更に熱処理を行う。但し、転位ループ8は無歪みの下地SiGe層1内に形成されているため、消失するか又は小さくなり、U字型転位は形成されない(図9(c))。従って完成したMISFETに異常オフリーク電流は生じない。

[0063] [第4の実施の形態]

図10(a)乃至(c)、図11(a)乃至(d)及び図12(a)乃至(b)は、本発明の第4の実施形態のMSIFETの製造方法を工程順に示す断面図である。先ず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる(図10(a))。この歪みSi層2の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを $T_p$ としたとき、 $2T_p$ 以上でもよい。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ(図10(b))、その後パターニングして、ゲート絶縁膜3aと長さ $0.4 \mu \text{m}$ 以下のゲート電極4aを形成する(図10(c))。

[0064] 次に、ゲート電極4aをマスクにして、ソース・ドレイン拡張領域を形成するための不純物をイオン注入し、不純物注入領域9を形成する(図11(a))。このときのエネルギーとドーズ量は、ソース・ドレイン形成のためのイオン注入より小さくする。これは、より浅くより急峻な接合を形成するためである。その後、酸化膜成長とエッチバックによりゲート側壁10を形成する(図11(b))。続けて、ソース・ドレイン領域に、選択成長法を用いてソース・ドレインせり上げ領域12を形成する(図11(c))。この膜厚は3T<sub>p</sub>以上5T<sub>p</sub>以下とする。

[0065] その後、ゲート電極4aとゲート側壁10をマスクにして、不純物を $1 \times 10^{15} \text{ cm}^{-2}$ 以上イオン注入する。そうすると、ソース・ドレインせり上げ領域12に高濃度に不純物が導入されると共に、アモルファス層5が形成される(図11(d))。この深さは、不純物濃度が最大になる深さをR<sub>p</sub>としたとき、2.5R<sub>p</sub>以下である。次に、不純物を活性化するために熱処理を行う。そうすると、ソース・ドレイン領域6とソース・ドレイン拡張領域11が形成され、同時にアモルファス層5は結晶化すると共に、この直下に転位ループ8が形成される(図12(a))。但し、ソース・ドレインせり上げ領域12の膜厚が3T<sub>p</sub>より厚いので、転位ループ8は歪みSi層2内には形成されず、全てソース・ドレインせり上げ領域12内に局在する。また、せり上げ膜厚は5T<sub>p</sub>より薄いので、ソース・ドレインせり上げ領域12の全てに不純物が拡散し、ソース・ドレイン拡張領域11と接続して、ソース・ドレイン領域6が形成される(図12(a))。このとき、不純物導入領域9の直下には転位ループは形成されない。これは、ソース・ドレイン拡張領域形成のためのイオン注入は、エネルギー及びドーズ量とも低く、転位ループを形成するのに十分な余剰原子が生じないためである。その後、不純物を十分活性化させるために更に熱処理を行う(図12(b))。但し、転位ループ8はソース・ドレインせり上げ領域12に局在しているため、転位が大きくなつたとしても歪みSi層2内に、U字型転位は形成されない。従つて、完成したMISFETに異常オフリーグ電流は生じない。

[0066] [第5の実施の形態]

図13は、本発明の第5の実施の形態を示すMISFETの断面図である。下地Si層13上にエピタキシャル成長された歪みSi<sub>1-x-y</sub>Ge<sub>x</sub>C<sub>y</sub>層14の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さをT<sub>p</sub>としたとき、2T<sub>p</sub>以下にする

。チャネル材料を歪みSiから歪み $Si_{1-x-y}Ge_xC_y$ （但し、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 < x + y \leq 1$ ）に変えることにより、特に正孔の移動度を増大させることが可能である。

[0067] [第6の実施の形態]

図14は、本発明の第6の実施の形態を示すMISFETの断面図である。下地Si層13上にエピタキシャル成長された歪み $Si_{1-x-y}Ge_xC_y$ 層14とキャップSi層15との膜厚の和は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを $T_p$ としたとき、 $2T_p$ 以下にする。キャップSi層15は、ゲート絶縁膜3aの信頼性を向上させる働きをする。なお、キャップSi層15の膜厚は10nm以下とする。この場合、キャップSi層15だけでなく歪み $Si_{1-x-y}Ge_xC_y$ 層14内にもチャネルが形成され、MISFETが高性能化する。

[0068] [第7の実施の形態]

図15は、本発明の第7の実施の形態を示すMISFETの断面図である。下地SiGe層1上にエピタキシャル成長された歪みSi層2の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを $T_p$ としたとき、 $2T_p$ 以下にする。

[0069] なお、下地SiGe層1と下地Si層13との間に、埋込酸化膜16が形成されている。この構造では、ソース・ドレイン領域6の寄生容量が低減され、MISFETの高性能化が可能である。

[0070] [第8の実施の形態]

図16は、本発明の第8の実施の形態を示すMISFETの断面図である。下地Si層13上に埋込酸化膜16を有し、その上に歪みSi層2が形成されている。この歪みSi層2の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを $T_p$ としたとき、 $2T_p$ 以下にする。

[0071] この第8実施形態が第7実施形態と違う点は、下地SiGe層1が存在しないことである。この構造では、ソース・ドレイン6の寄生容量が第7実施例より更に低減可能であり、より一層、MISFETの高性能化が可能である。

[0072] 以上好ましい実施の形態について説明したが、本発明はこれらの実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。また、各実施の形態を適宜組み合わせて発明の実施例とすることが

できる。例えば、第4、第5の実施形態を組み合わせて、歪み $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層14上にソース・ドレインせり上げ領域12を形成するようにしてもよく、また、第5、第8の実施形態を組み合わせて、埋込酸化膜16上に歪み $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層14を形成するようにしてもよい。

### 産業上の利用可能性

[0073] 本発明は、微細化により高性能化したMISFETにおいて、異常リーク電流の防止に有効である。

## 請求の範囲

[1] 下地層と、この下地層上に形成され歪みを有する活性半導体層と、前記活性半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記活性半導体層内における前記ゲート電極の両側の部分に形成されたソース・ドレイン領域と、を有し、前記ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さを  $T_p$  としたとき、前記下地層と前記活性半導体層との界面が表面から  $2T_p$  以下の深さにあることを特徴とするMIS型電界効果トランジスタ。

[2] 下地層と、この下地層上に形成され歪みを有する活性半導体層と、前記活性半導体層上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、前記活性半導体層内における前記ゲート電極の両側の部分に形成されたソース・ドレイン領域と、前記ゲート電極の側面に形成されたゲート側壁と、を有し、前記活性半導体層の前記ゲート電極及び前記ゲート側壁の下の部分は他の部分の膜厚より厚くなつており、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さを  $T_p$  としたとき、前記活性半導体層の前記ゲート電極及び前記ゲート側壁の下以外の領域では前記下地層と前記活性半導体層との界面が表面から  $2T_p$  以下の深さにあることを特徴とするMIS型電界効果トランジスタ。

[3] 下地層と、この下地層上に形成され歪みを有する活性半導体層と、前記活性半導体層上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の両側の前記活性半導体層上に形成されソース・ドレイン領域が形成されたせり上げ層と、を有し、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さを  $T_p$  としたとき、前記せり上げ層の膜厚が  $3T_p$  以上であることを特徴とするMIS型電界効果トランジスタ。

[4] 前記せり上げ層の膜厚が  $5T_p$  以下であることを特徴とする請求項3に記載のMIS型電界効果トランジスタ。

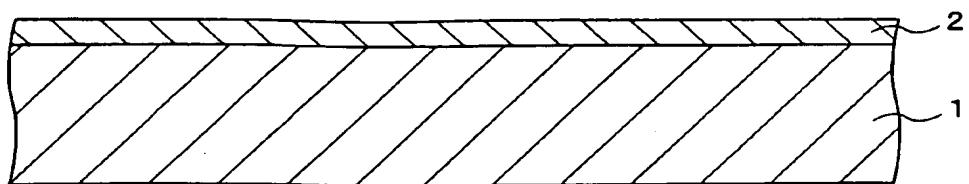
[5] 前記下地層が、 $\text{Si}_{1-x-y} \text{Ge}_x \text{C}_y$  (但し、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 < x+y \leq 1$ ) の組成を有する半導体層であることを特徴とする請求項1乃至4のいずれか1項に記載のMIS型電界効果トランジスタ。

[6] 前記下地層が、Si層であることを特徴とする請求項1乃至4のいずれか1項に記載の

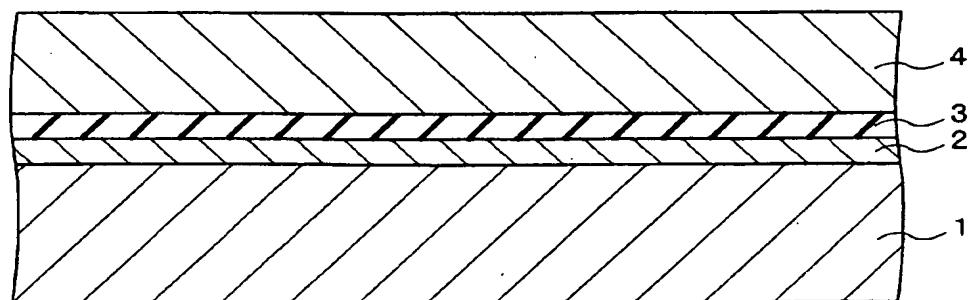
MIS型電界効果トランジスタ。

- [7] 前記下地層が半導体層であって前記下地層の下層に絶縁体層が形成されていることを特徴とする請求項1乃至6のいずれか1項に記載のMIS型電界効果トランジスタ。
- [8] 前記下地層が絶縁体層であることを特徴とする請求項1乃至4のいずれか1項に記載のMIS型電界効果トランジスタ。
- [9] 前記活性半導体層が、4族半導体層であることを特徴とする請求項1乃至8のいずれか1項に記載のMIS型電界効果トランジスタ。
- [10] 前記活性半導体層が、Si層であることを特徴とする請求項1乃至5、7、8のいずれか1項に記載のMIS型電界効果トランジスタ。
- [11] 前記活性半導体層が、 $Si_{1-x-y}Ge_xC_y$  (但し、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 < x+y \leq 1$ ) の組成を有する半導体層であることを特徴とする請求項1乃至8のいずれか1項に記載のMIS型電界効果トランジスタ。
- [12] 前記活性半導体層と前記ゲート絶縁膜との間に、10nm以下の膜厚のSi層を有することを特徴とする請求項11に記載のMIS型電界効果トランジスタ。
- [13] ゲート長が $0.4 \mu m$ 以下であることを特徴とする請求項1乃至12のいずれか1項に記載のMIS型電界効果トランジスタ。
- [14] 前記ソース・ドレイン領域が、イオン注入法によって形成されていることを特徴とする請求項1乃至13のいずれか1項に記載のMIS型電界効果トランジスタ。
- [15] 前記ソース・ドレイン領域が、プラズマドーピング法によって形成されていることを特徴とする請求項1乃至13のいずれか1項に記載のMIS型電界効果トランジスタ。
- [16] 前記ソース・ドレイン領域が、ガスフェーズドーピング法によって形成されていることを特徴とする請求項1乃至13のいずれか1項に記載のMIS型電界効果トランジスタ。
- [17] 前記ソース・ドレイン領域のゲート電極寄りの部分は低不純物濃度領域になされていることを特徴とする請求項1乃至16のいずれか1項に記載のMIS型電界効果トランジスタ。

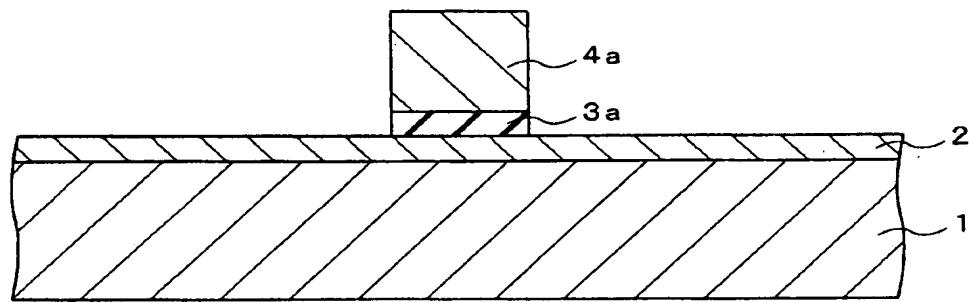
[図1]



(a)

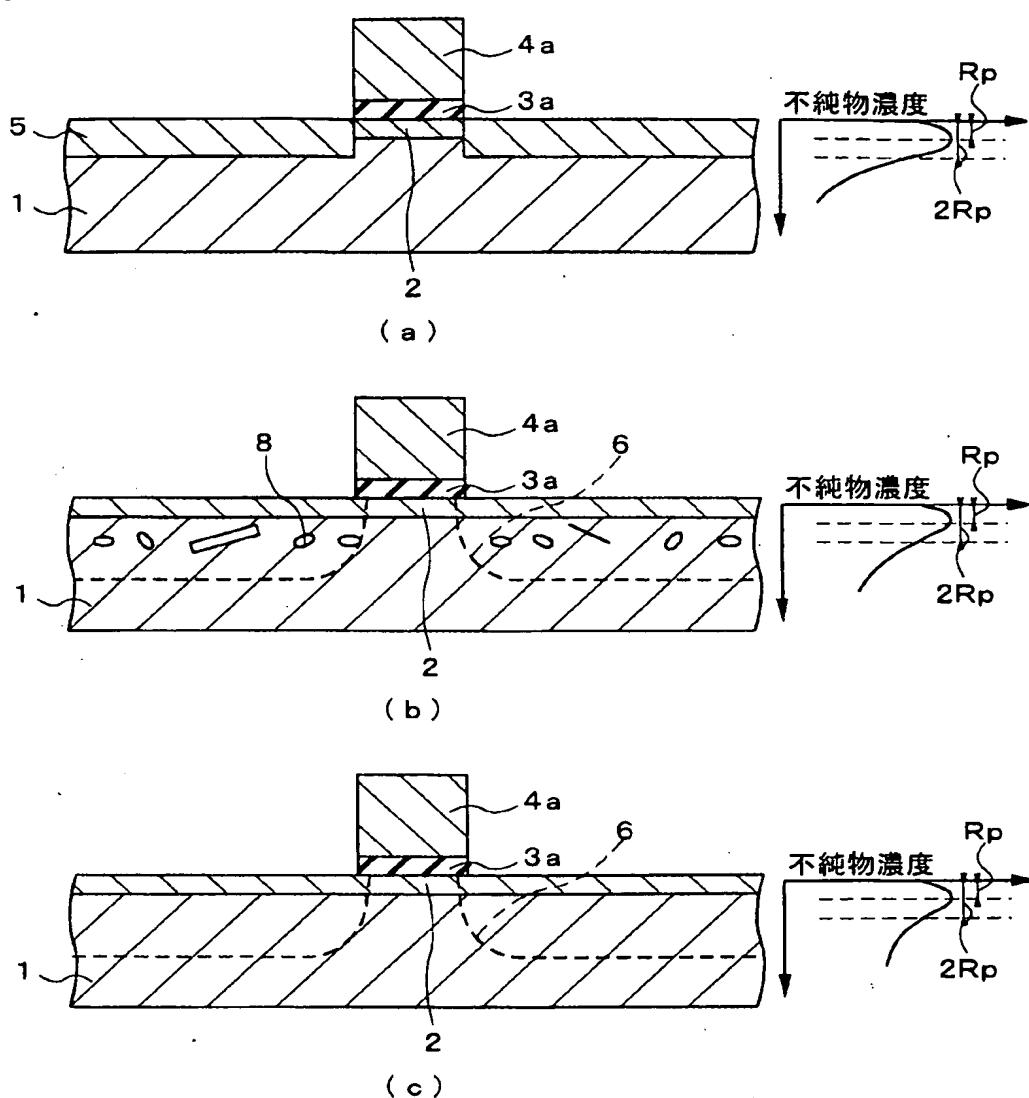


(b)

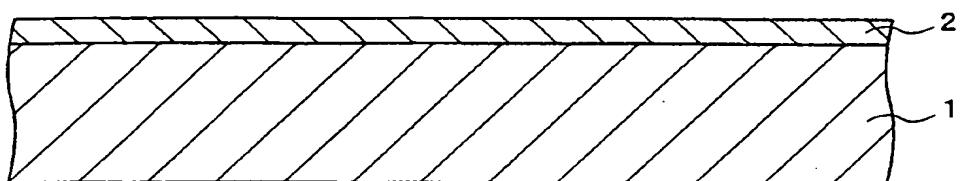


(c)

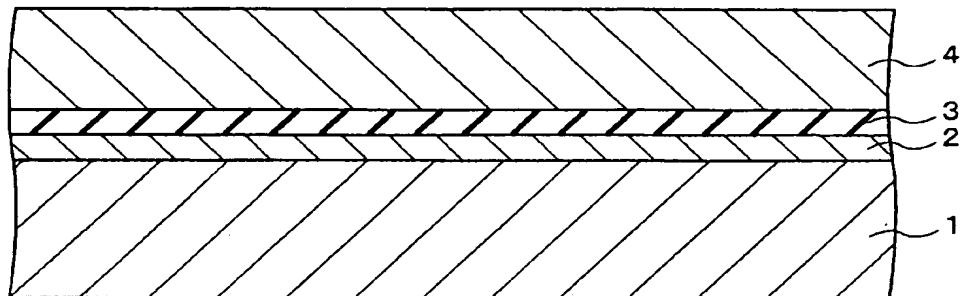
[図2]



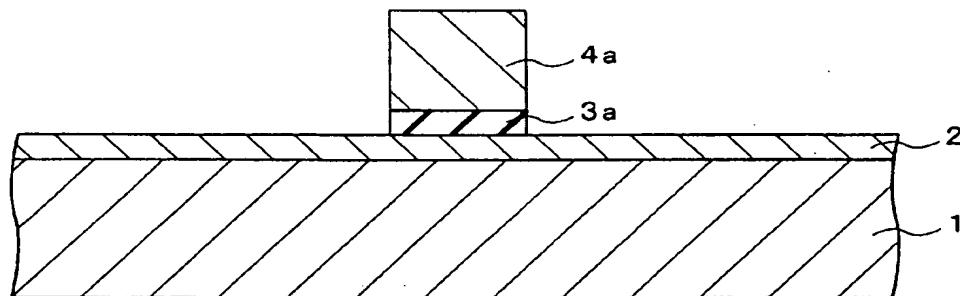
[図3]



( a )

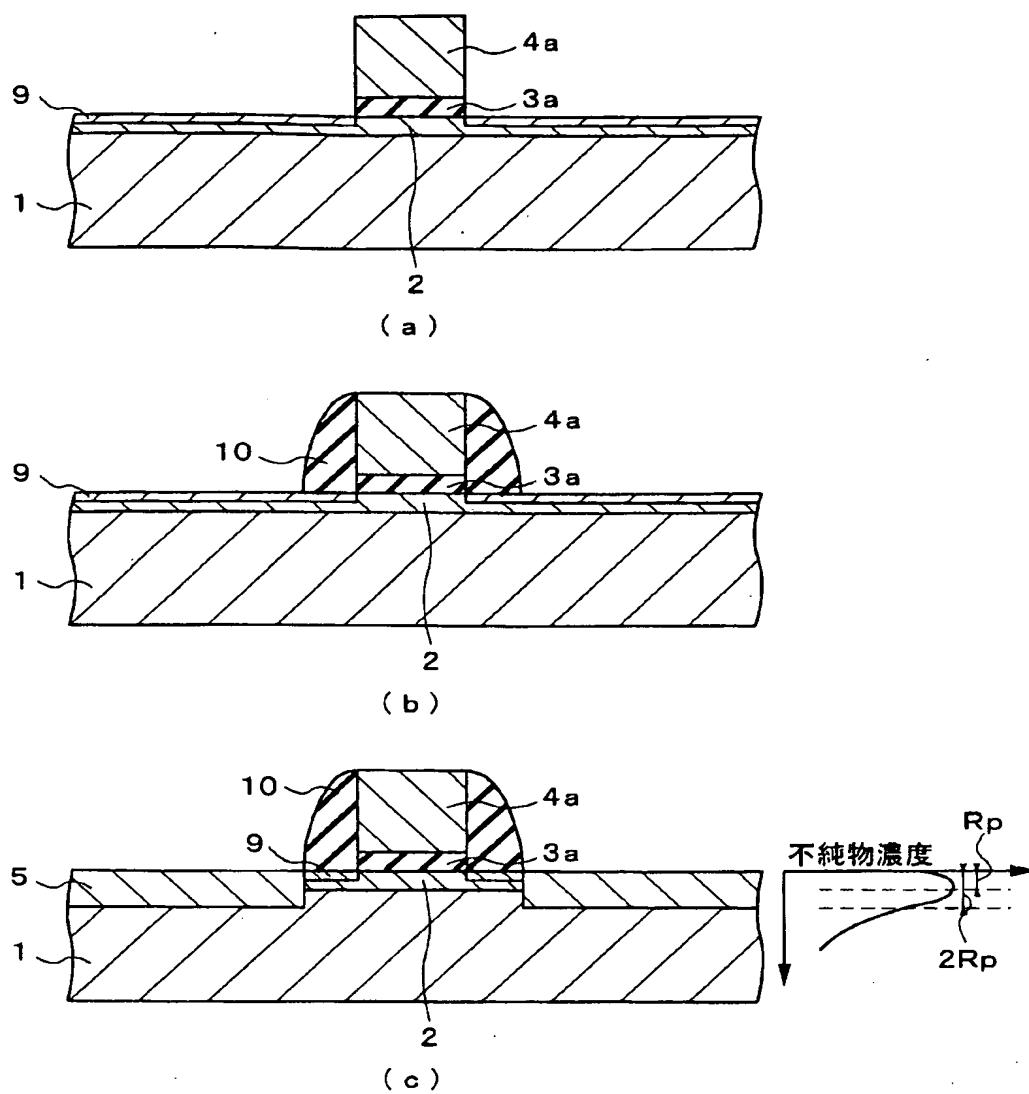


( b )

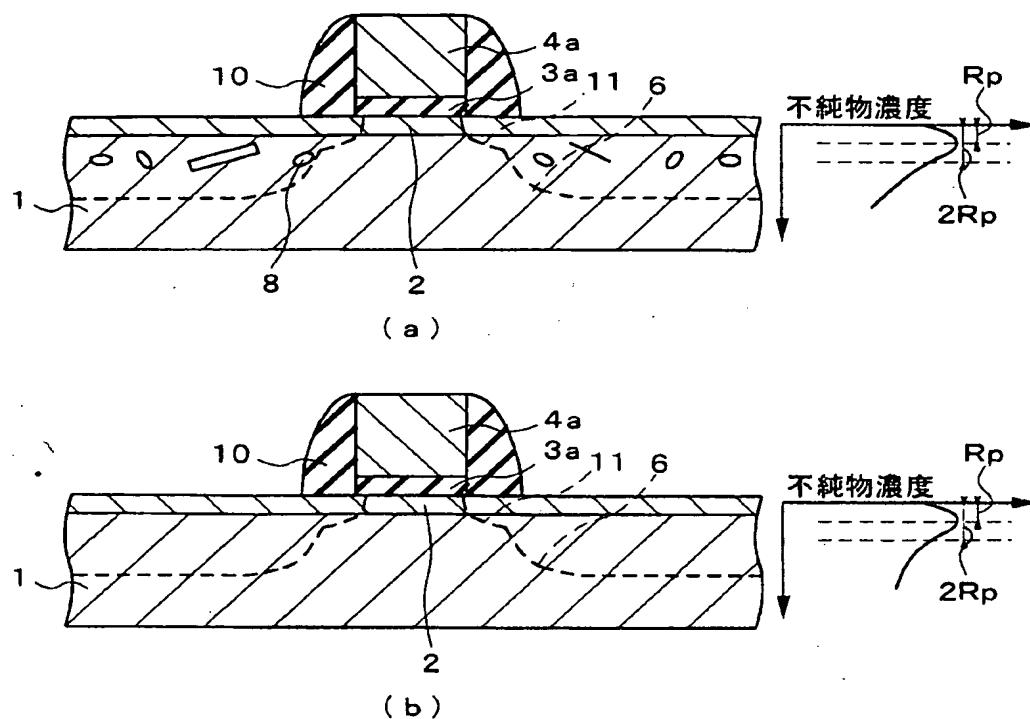


( c )

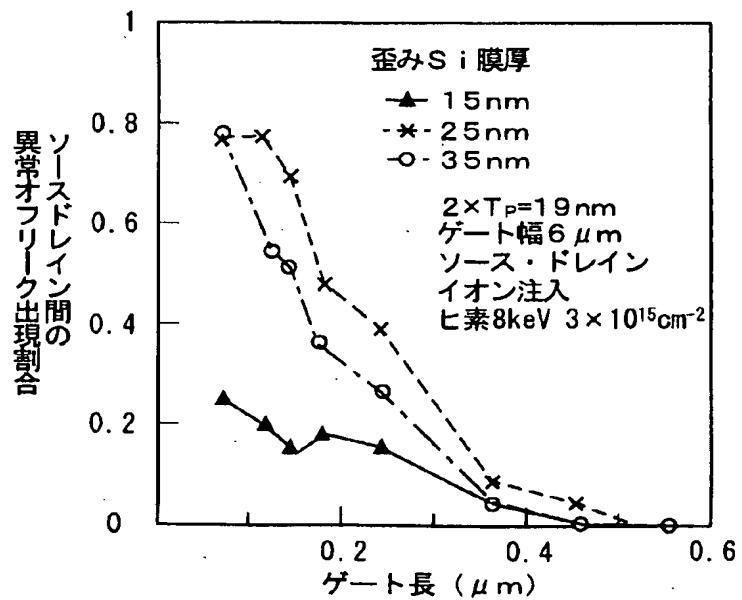
[図4]



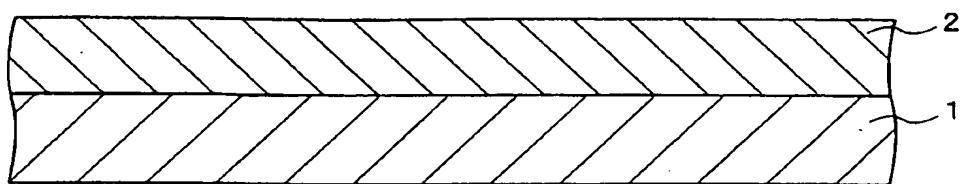
[図5]



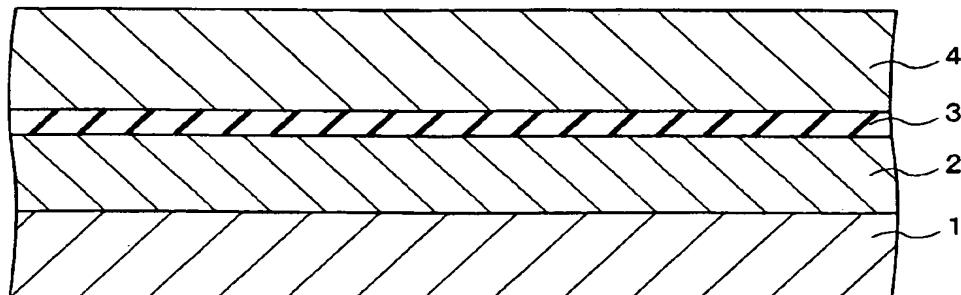
[図6]



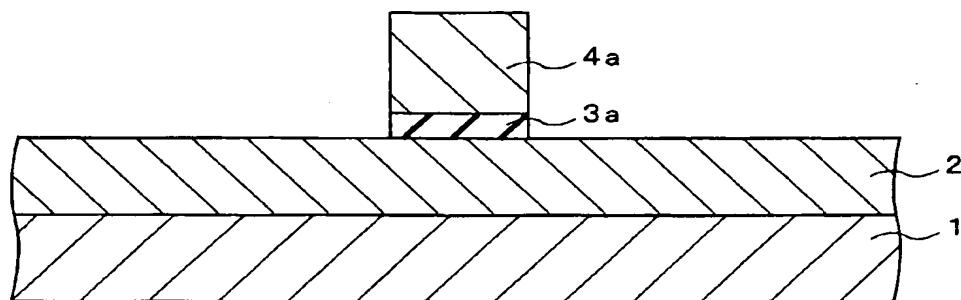
[図7]



( a )

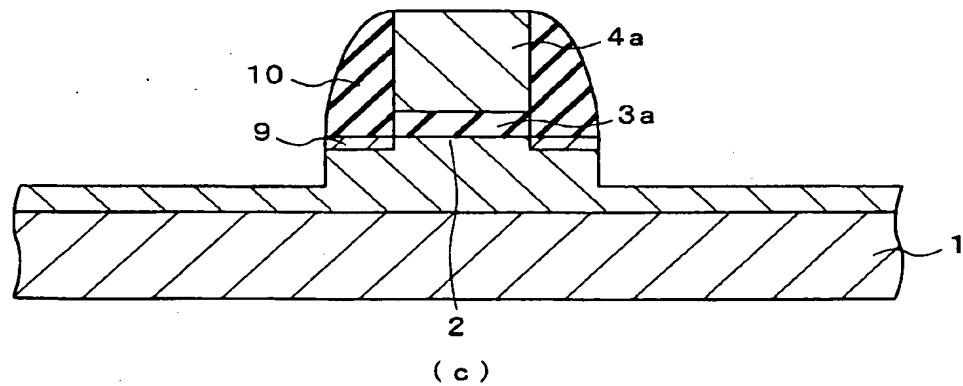
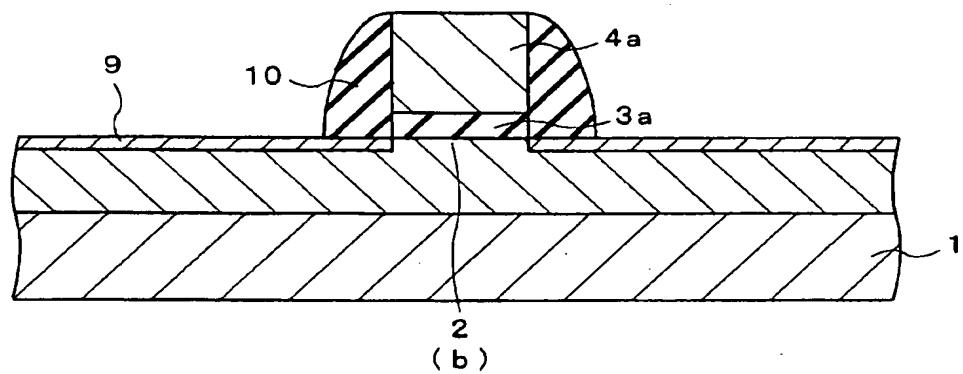
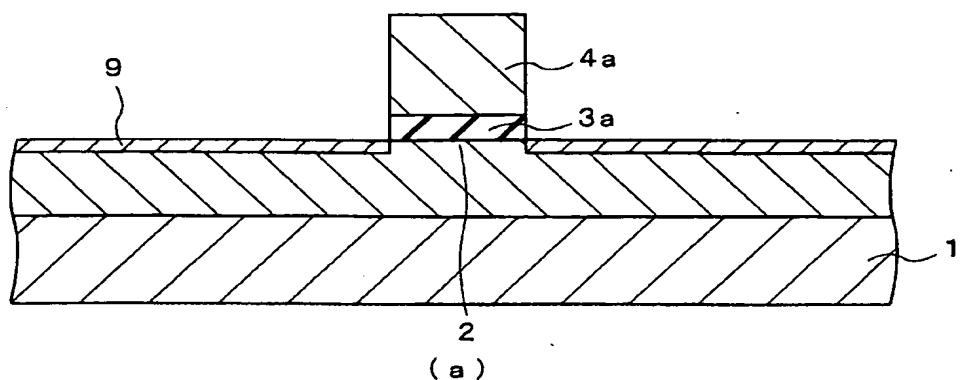


( b )

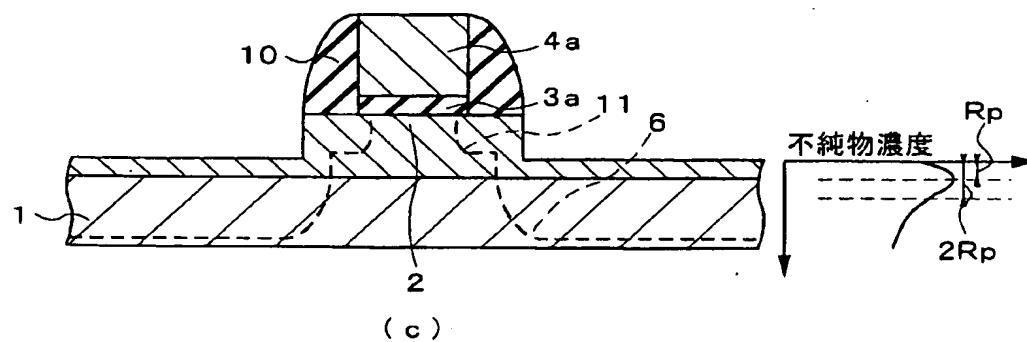
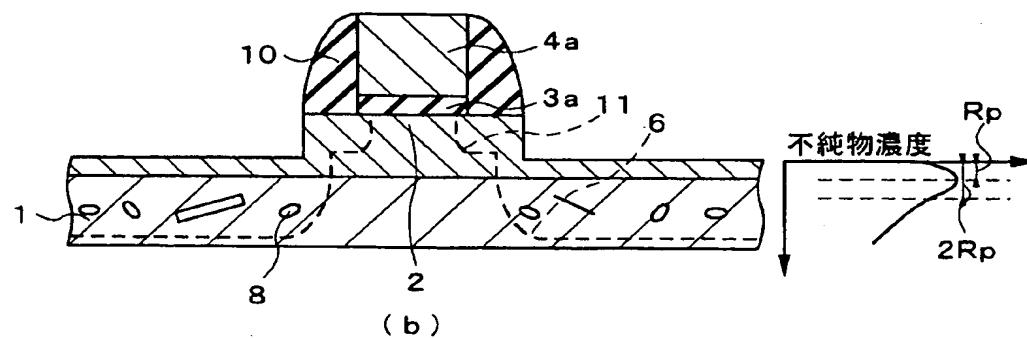
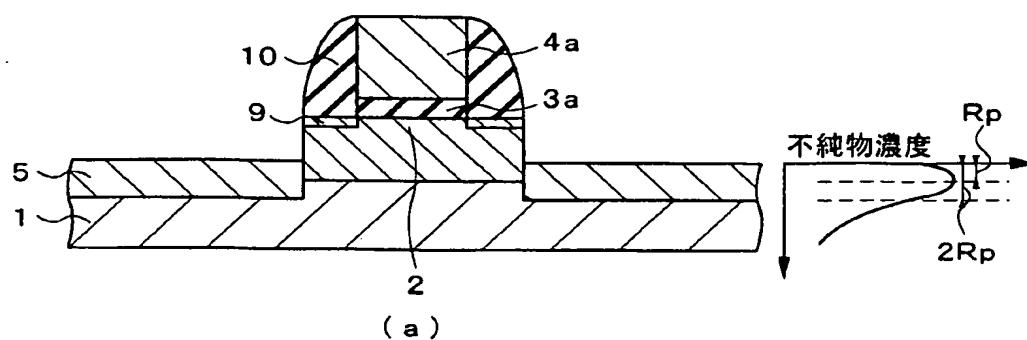


( c )

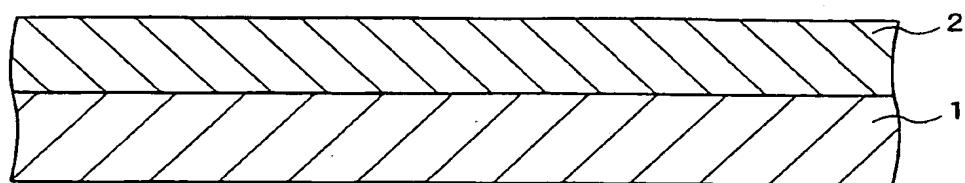
[図8]



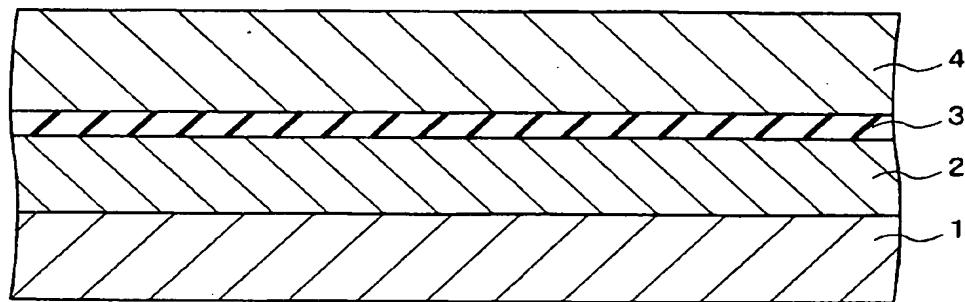
[図9]



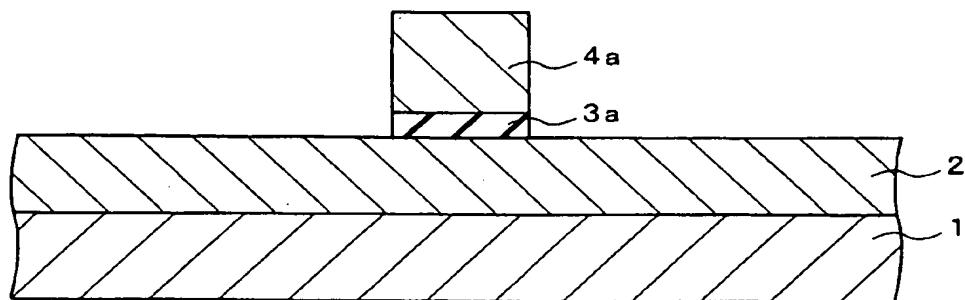
[図10]



( a )

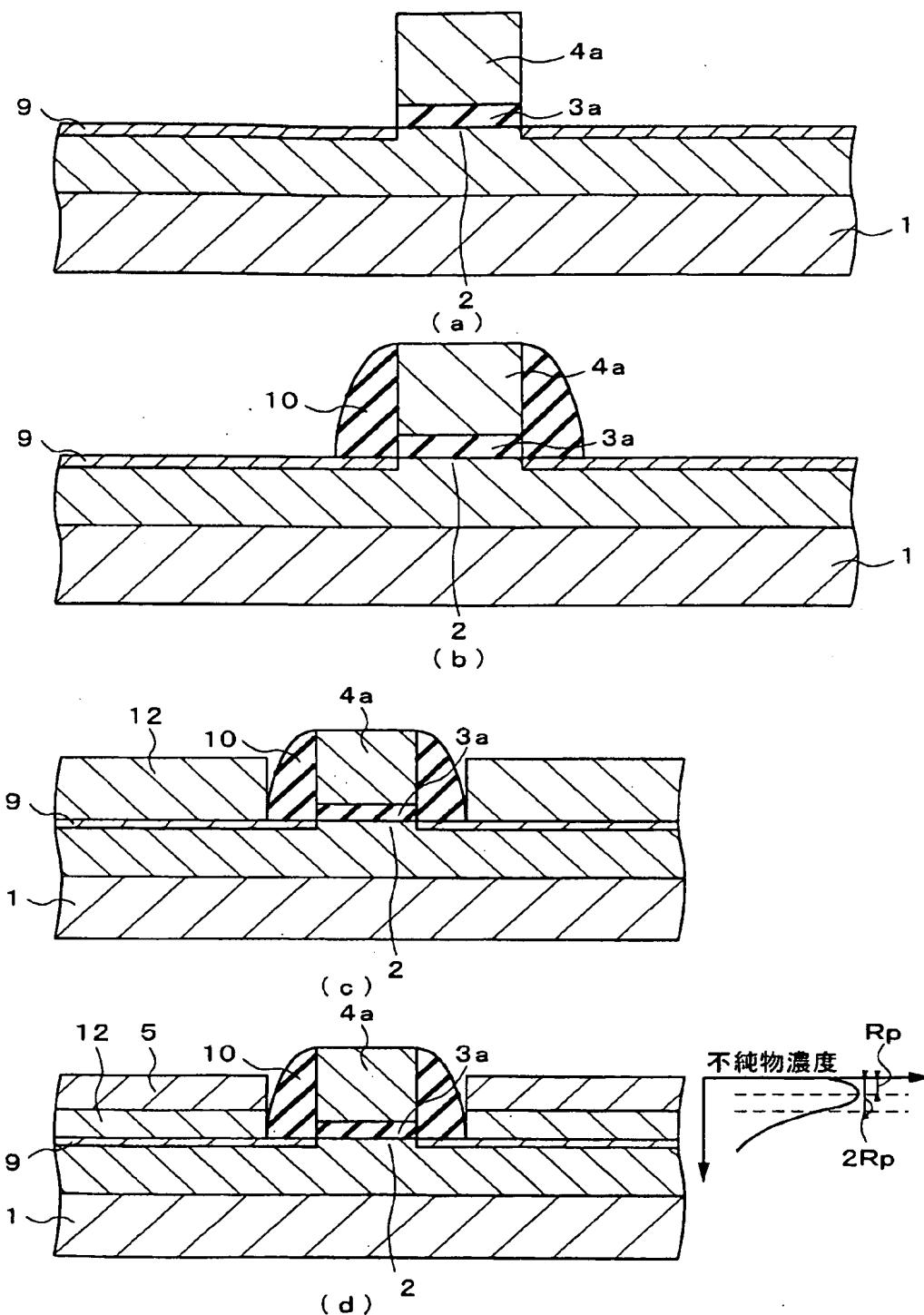


( b )

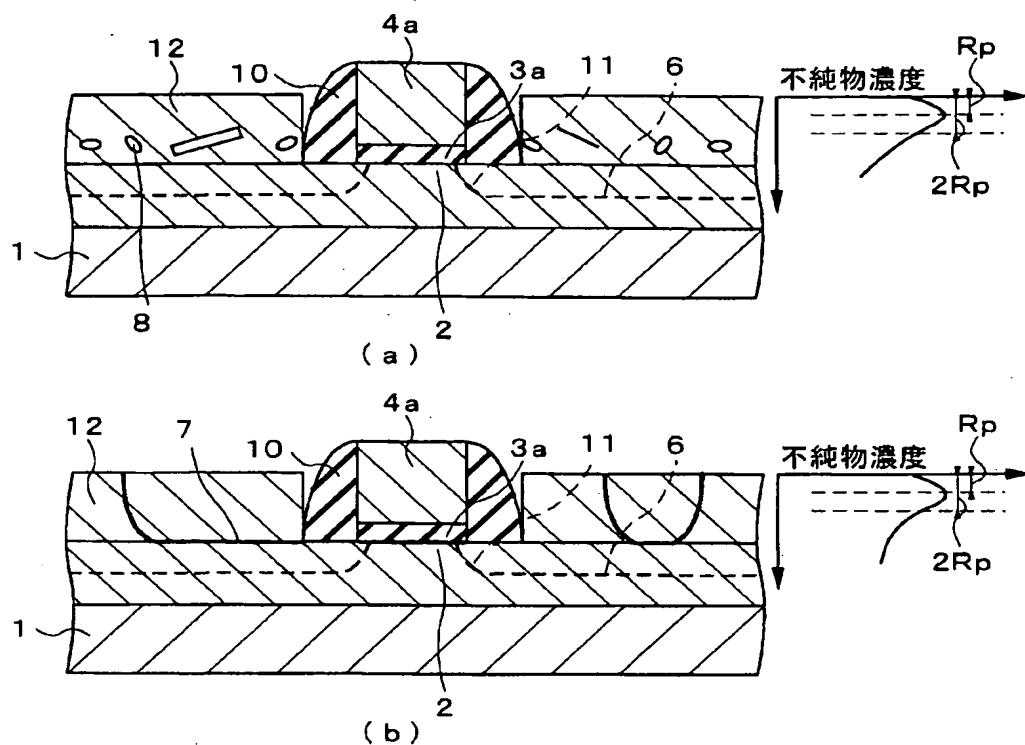


( c )

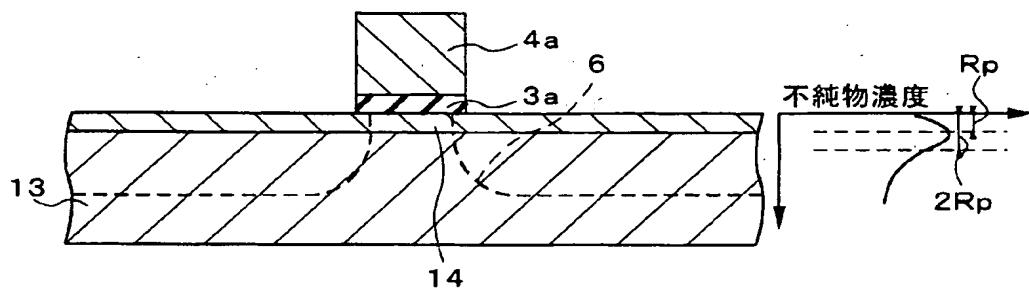
[図11]



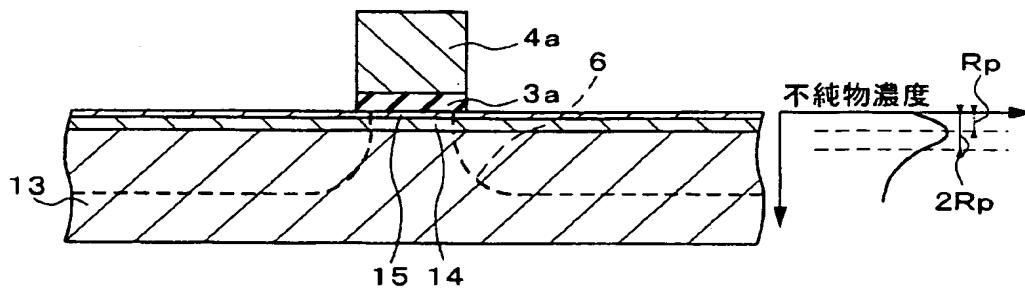
[図12]



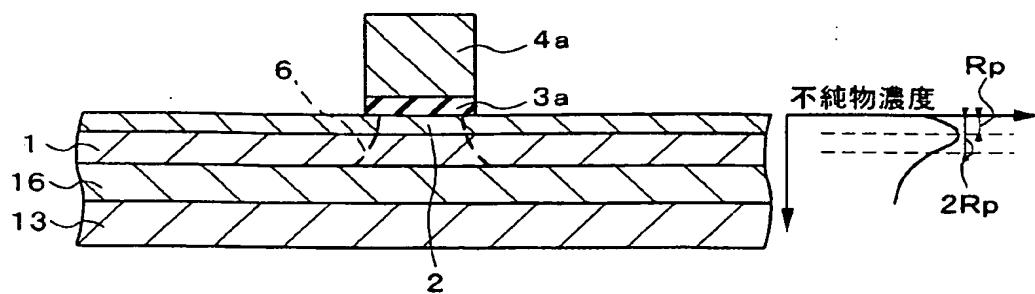
[図13]



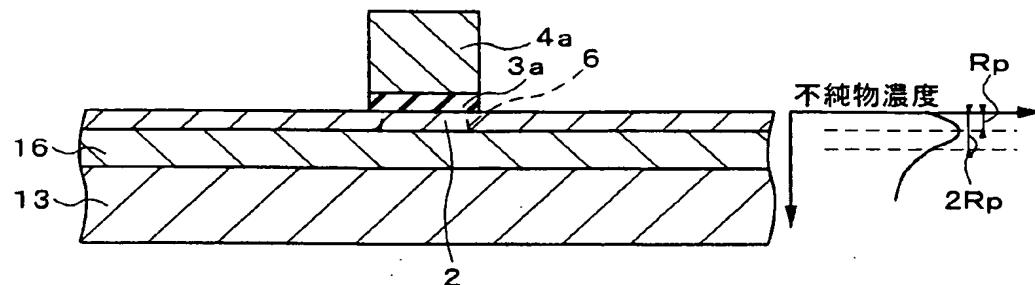
[図14]



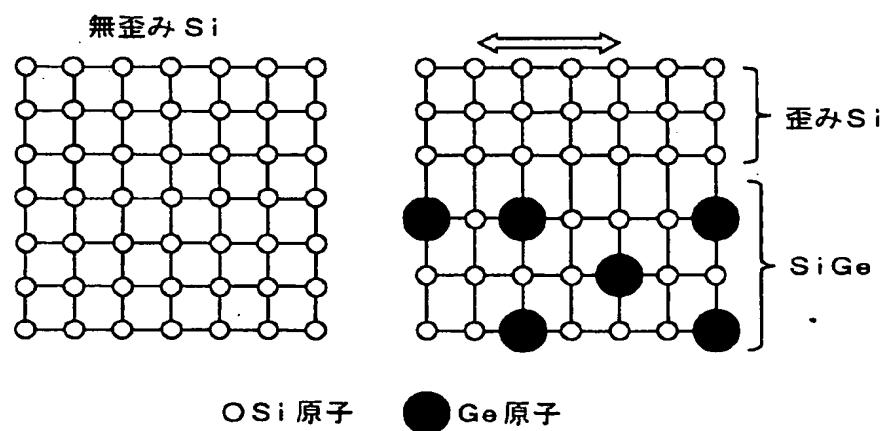
[図15]



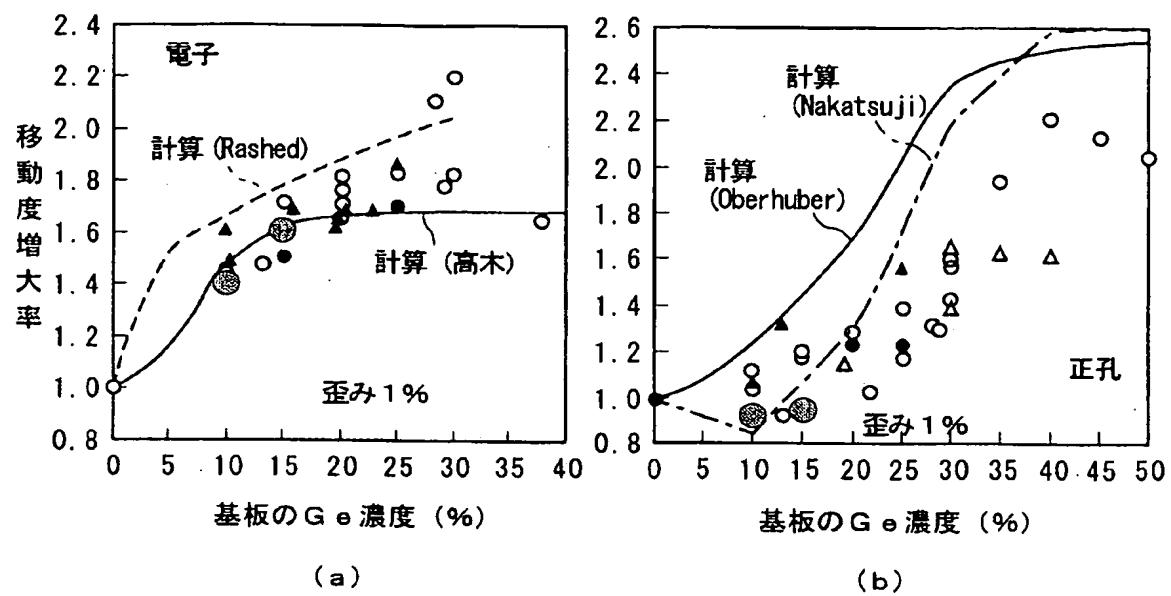
[図16]



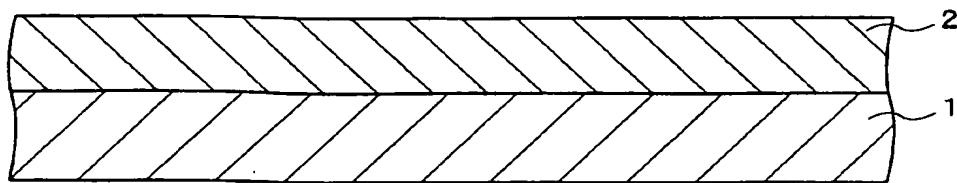
[図17]



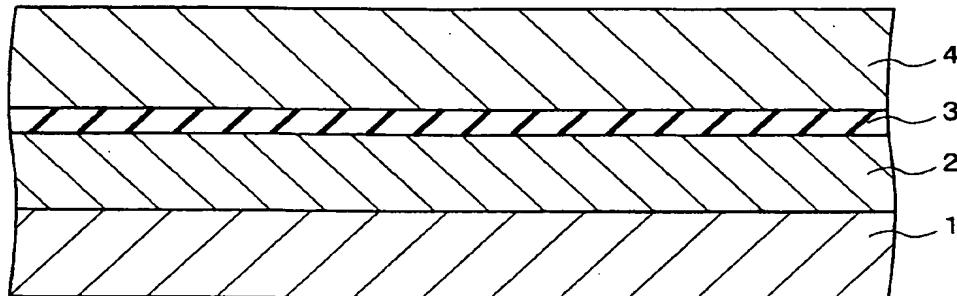
[図18]



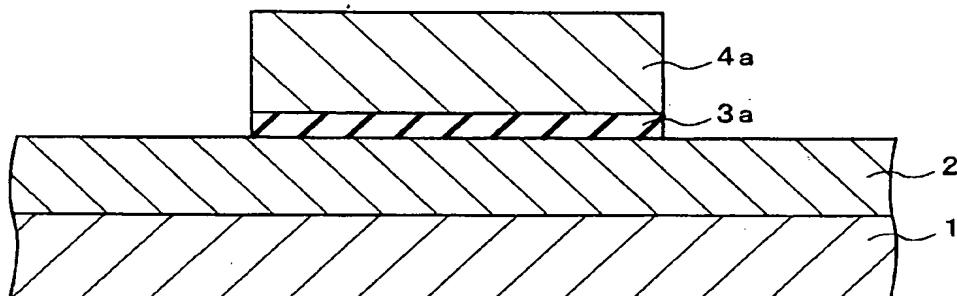
[図19]



( a )

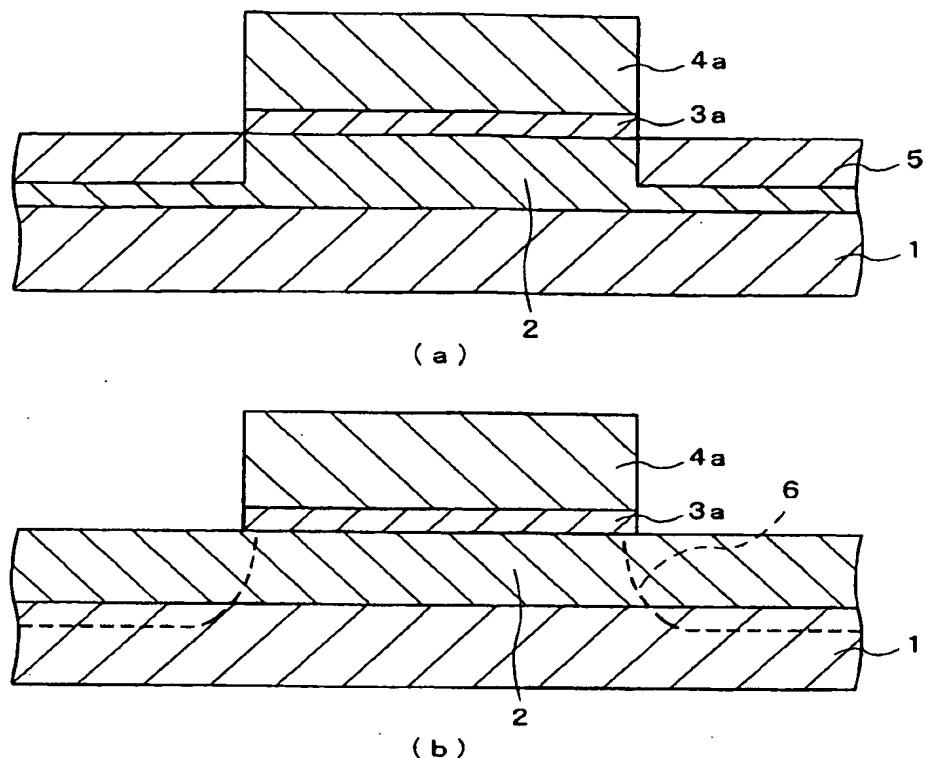


( b )

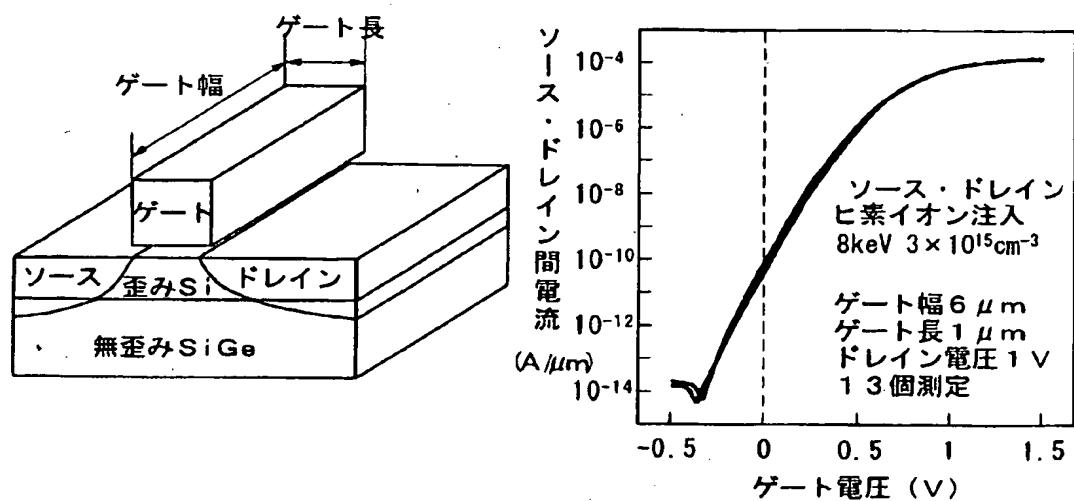


( c )

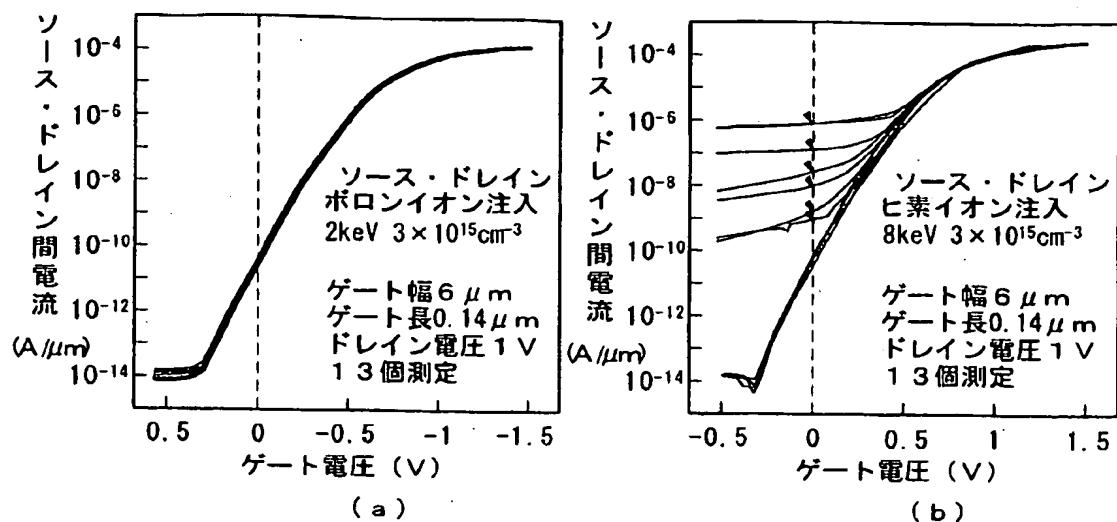
[図20]



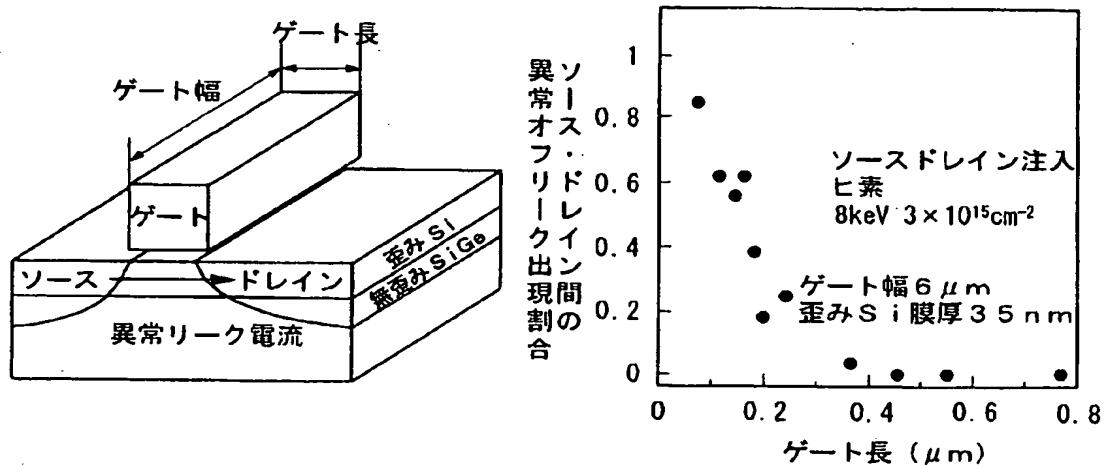
[図21]



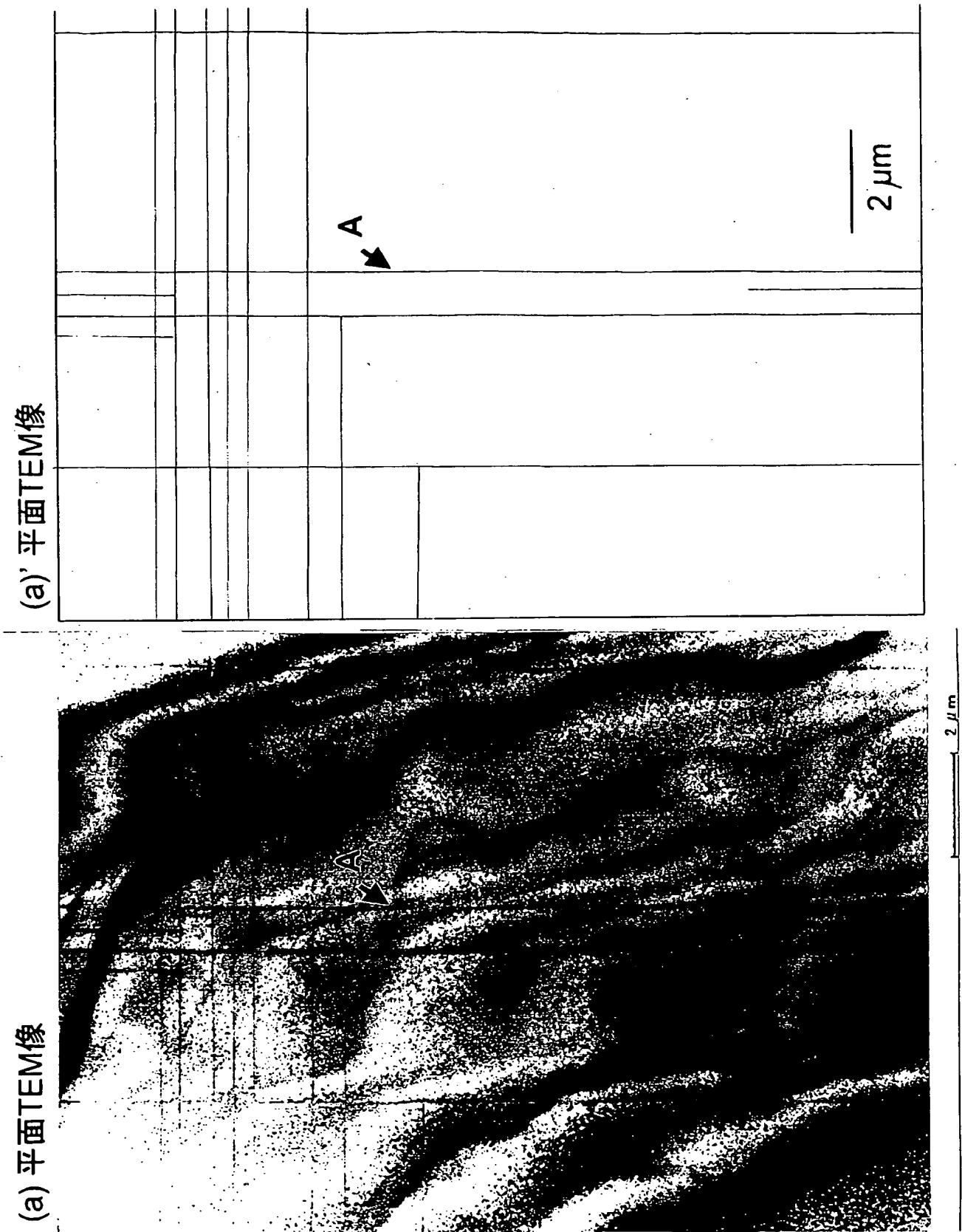
[図22]



[図23]

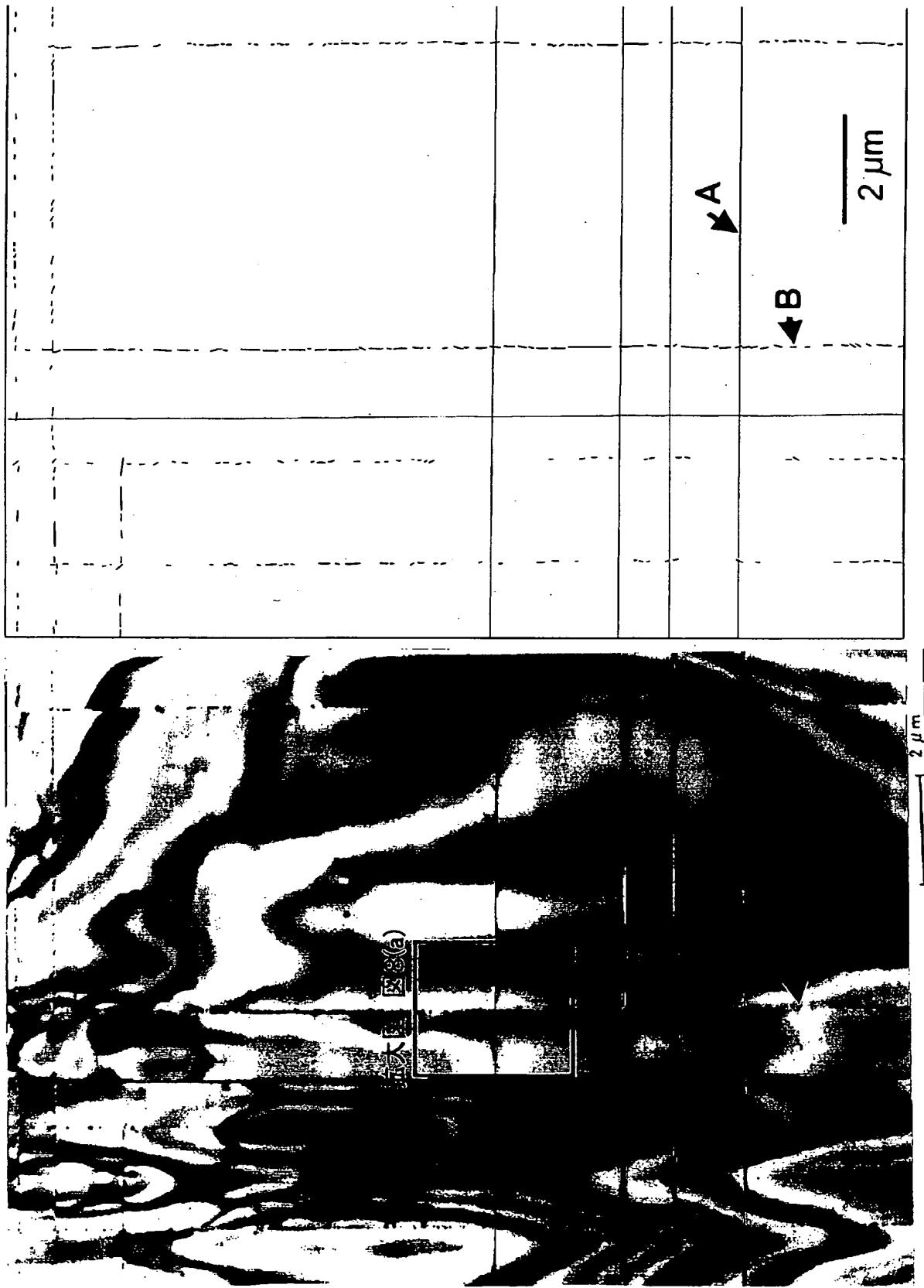


(a) 平面TEM像



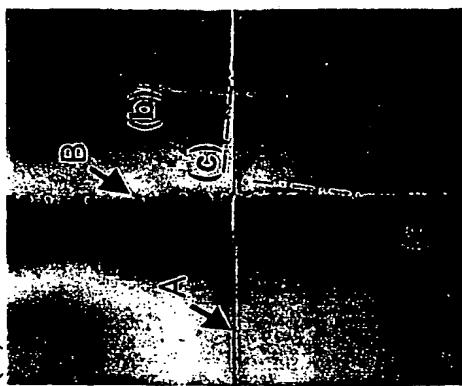
差替入用紙(規則26)

(b) 平面TEM像

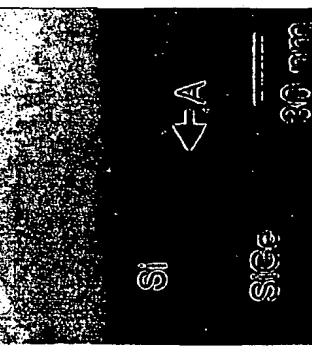


差替入用紙(規則26)

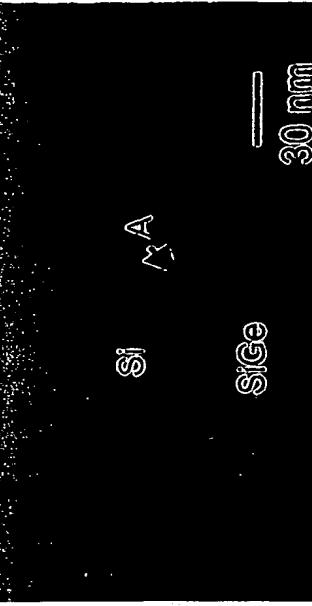
(a) 平面TEM像拡大図



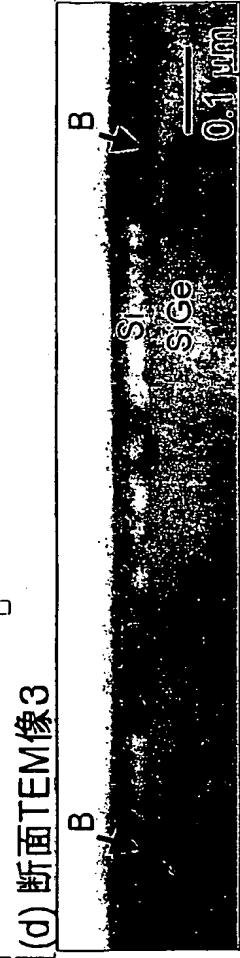
(b) 断面TEM像1



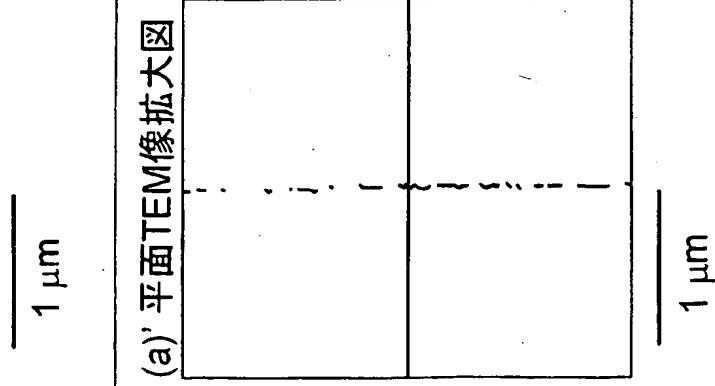
(c) 断面TEM像2



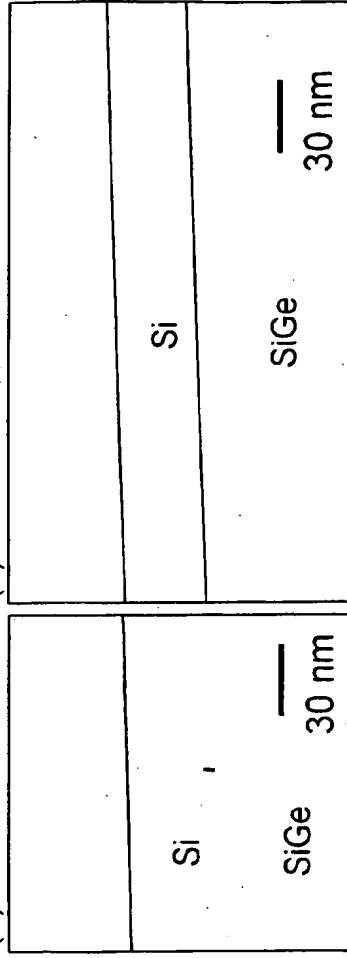
(d) 断面TEM像3



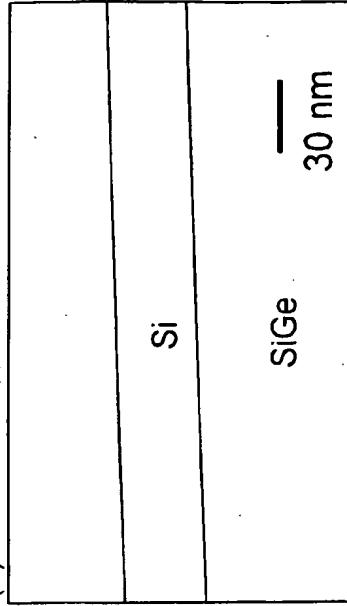
(a)' 平面TEM像拡大図



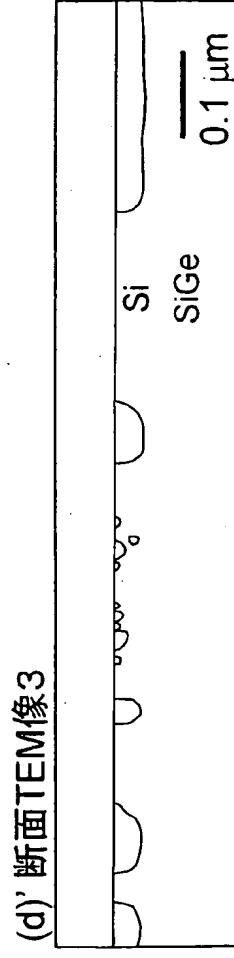
(b)' 断面TEM像1



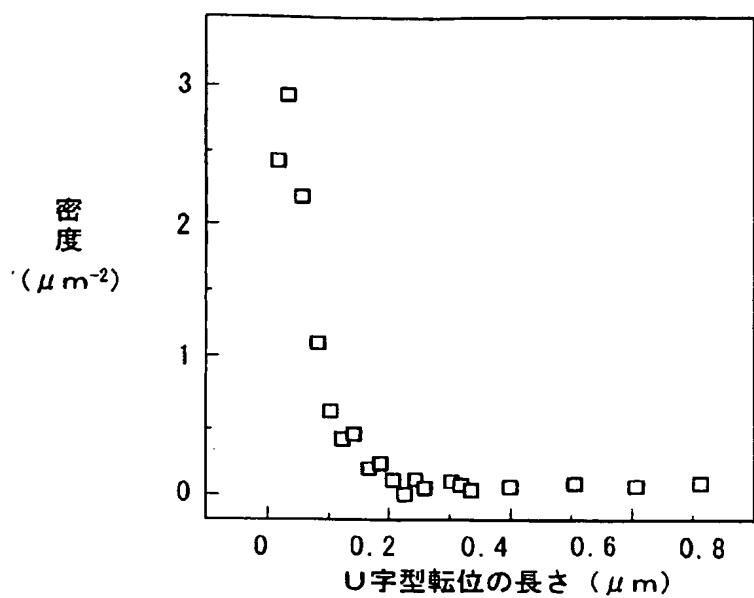
(c)' 断面TEM像2



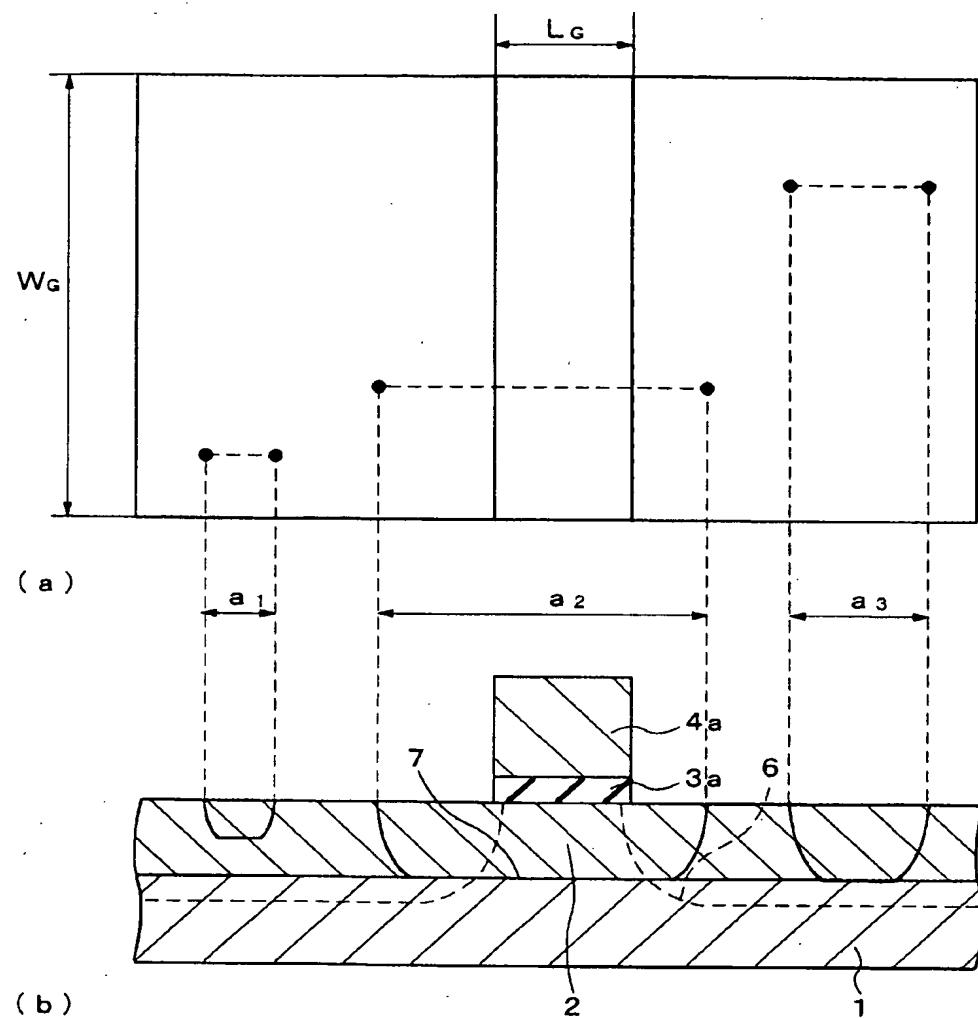
(d)' 断面TEM像3



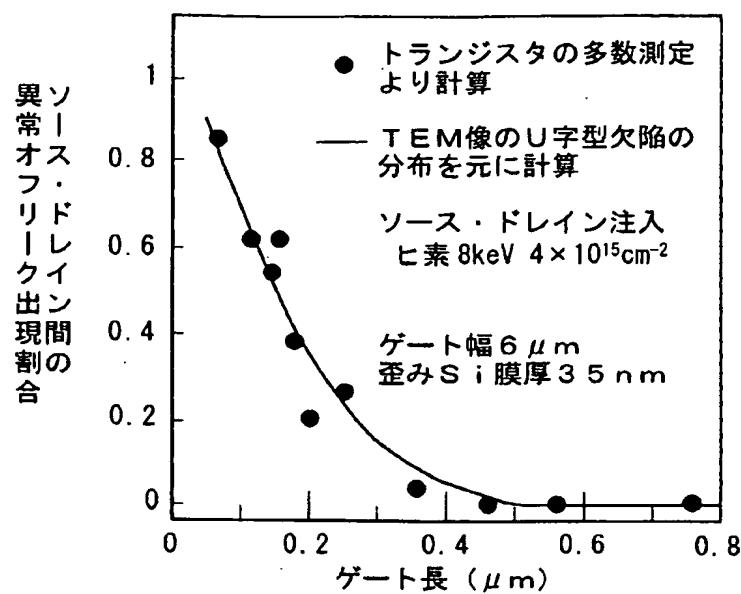
[図26]



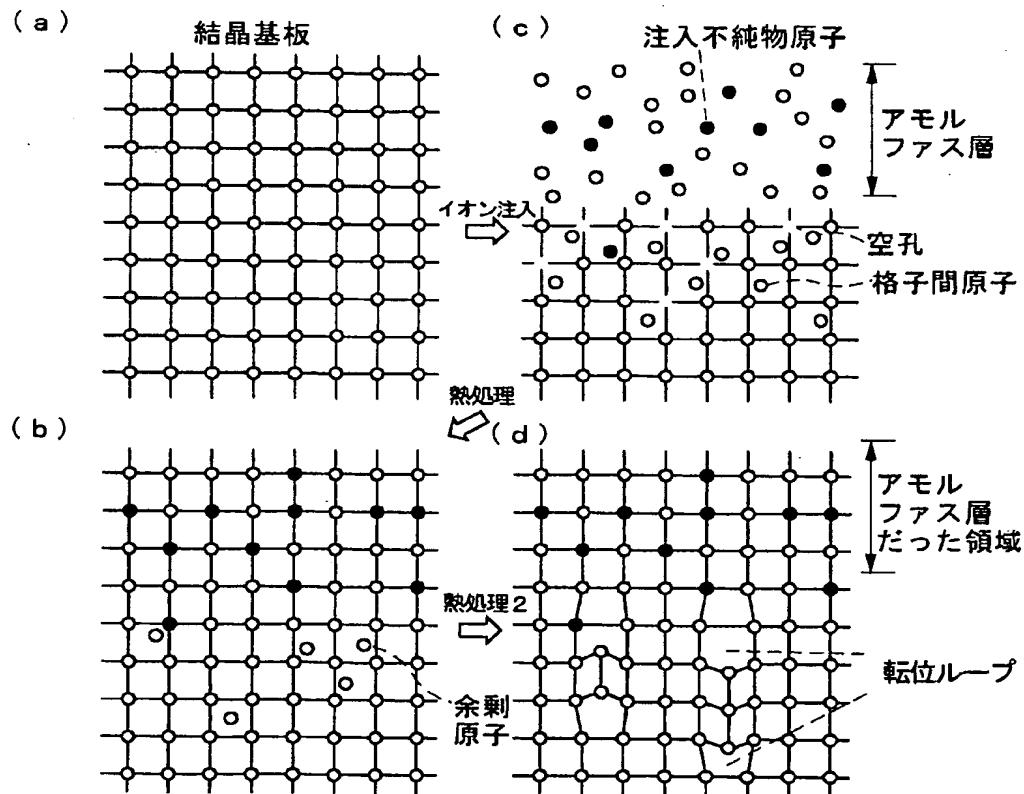
[図27]



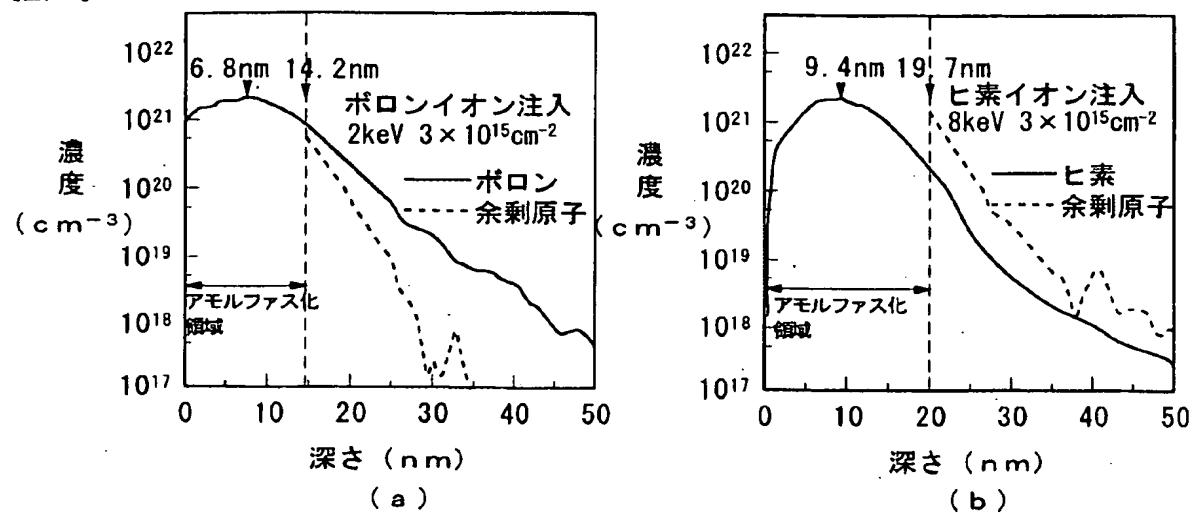
[図28]



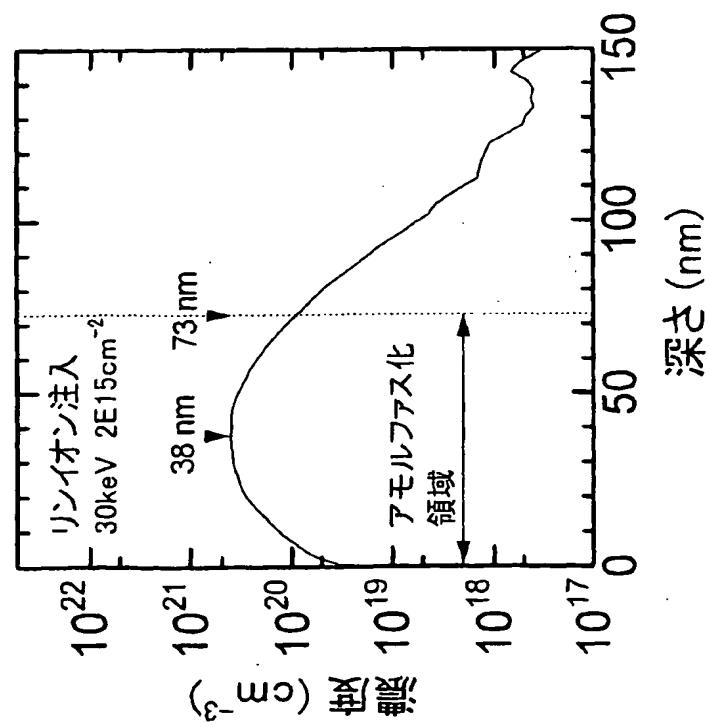
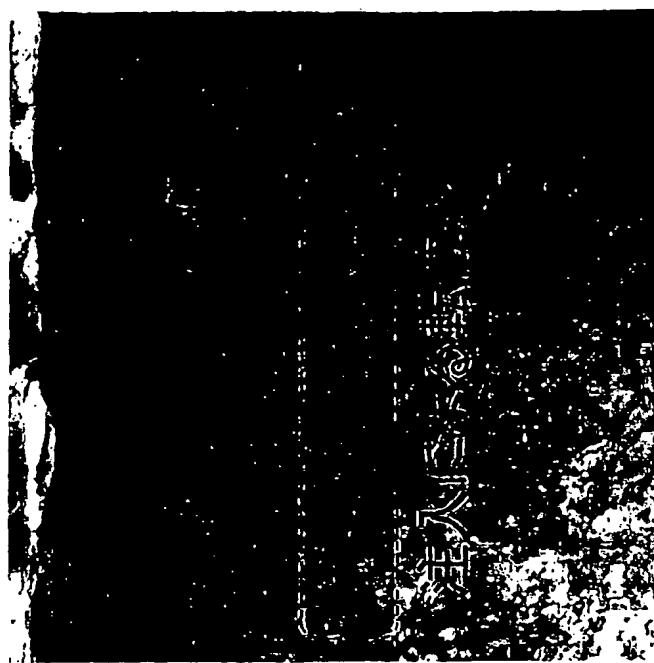
[図29]



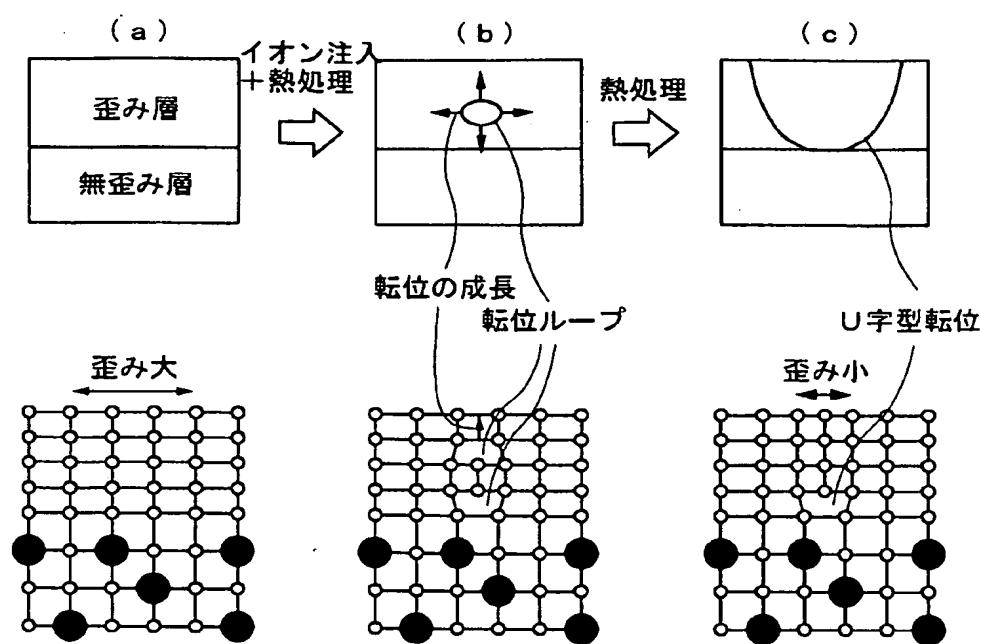
[図30]



[図 31]

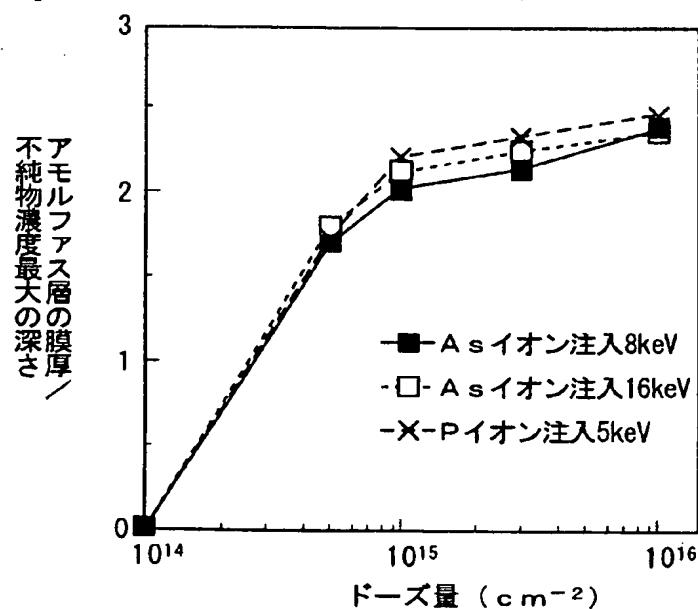


[図32]

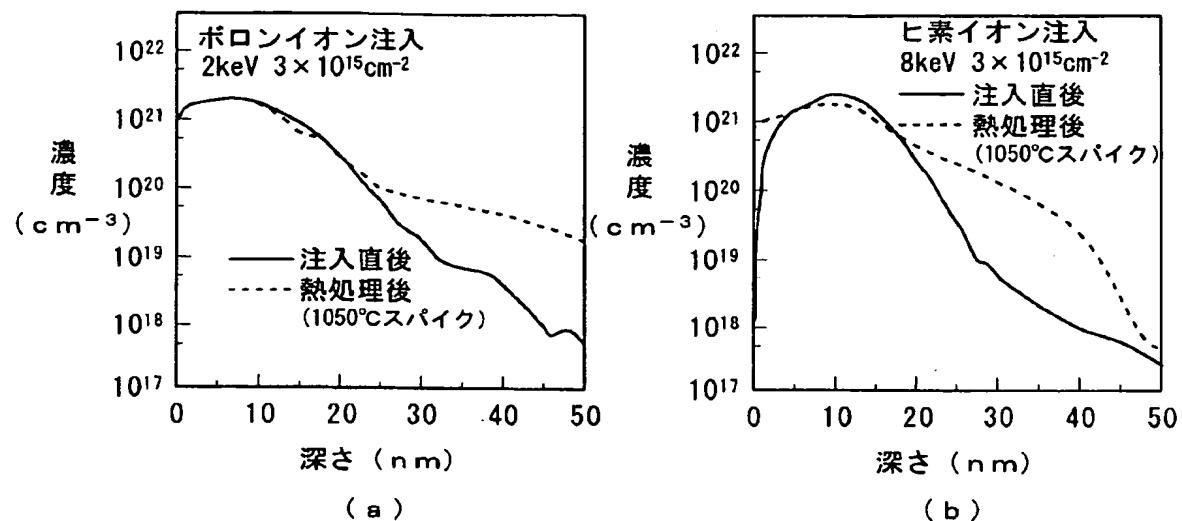


下段図は、上段図を直横から眺めたときの模式図

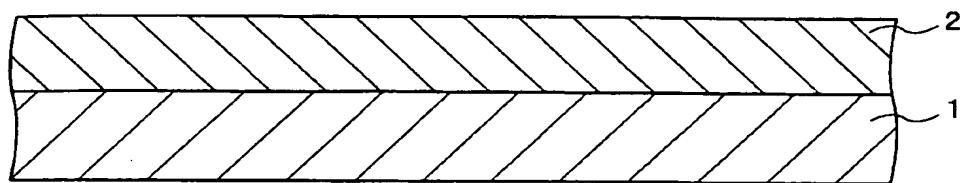
[図33]



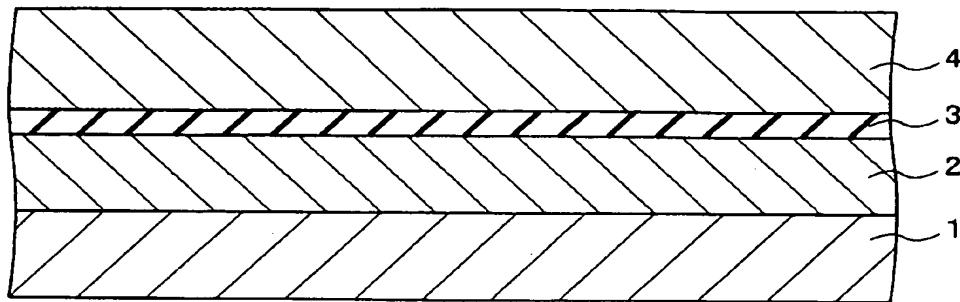
[図34]



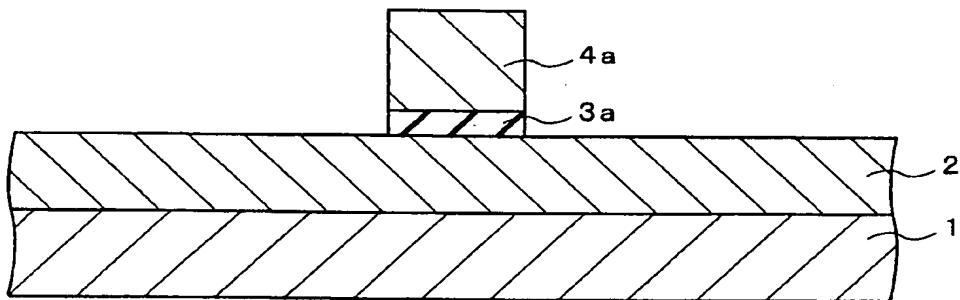
[図35]



( a )



( b )



( c )

[図36]

